

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-77694

(P2001-77694A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 M	3/02	H 0 3 M	5 J 0 2 2
	1/08		B 5 J 0 6 4
	1/66		C

審査請求 未請求 請求項の数14 O L (全 36 頁)

(21) 出願番号 特願平11-251923

(22) 出願日 平成11年9月6日 (1999.9.6)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 永田 満

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

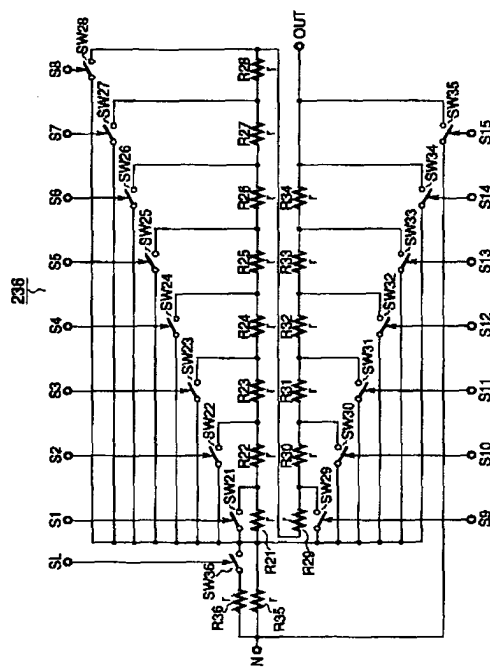
最終頁に続く

(54) 【発明の名称】 可変抵抗回路及びD/A変換器

(57) 【要約】

【課題】 回路規模の増大を招くことなく、等価的に帰還抵抗の抵抗値を変化させるステップ数を増やすことができるボツ音レスのD/A変換器を提供する。

【解決手段】 0データ検出ソフトミュート機能付きの1ビットD/A変換器において、抵抗R21~R34を直列接続し、各接続点にカウンタのLSB以外の出力信号に従って選択的にオン/オフされる第1のアナログスイッチSW21~SW34を設けて第1のデジタル制御可変抵抗器を構成し、抵抗R35、R36を並列接続し、一方の抵抗にカウンタのLSBで制御される第2のアナログスイッチSW36を直列接続して第2のデジタル制御可変抵抗器を構成し、上記第1、第2のデジタル制御可変抵抗器を直列接続し、両端に第3のアナログスイッチSW35を接続して帰還抵抗を構成する。そして、帰還抵抗値を段階的に小さくして行き、最終的に第3のアナログスイッチをオンしてショートすることを特徴とする。



1

【特許請求の範囲】

【請求項 1】 n 個 (n は 2 以上の正の整数) の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第 1 のデジタル制御スイッチ群を設け、これら第 1 のデジタル制御スイッチ群がカウンタの L S B に対応する出力信号以外の出力信号に従って選択的にオン／オフ制御されることにより、合成抵抗値が段階的に変化する第 1 のデジタル制御可変抵抗器と、

2 個の抵抗を並列接続し、一方の抵抗に第 2 のデジタル制御スイッチを直列接続し、この第 2 のデジタル制御ス

イッチを前記カウンタの L S B に対応する出力信号でオン／オフ制御するようにした第 2 のデジタル制御可変抵抗器と、
直列接続された前記第 1、第 2 のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第 1、第 2 のデジタル制御可変抵抗器の両端をショートする第 3 のデジタル制御スイッチとを備えたことを特徴とするデジタル制御の可変抵抗回路。

【請求項 2】 前記第 1 のデジタル制御可変抵抗器中の n 個の抵抗の抵抗値、及び前記第 2 のデジタル制御可変抵抗器中の 2 個の抵抗の抵抗値はそれぞれ実質的に等しいことを特徴とする請求項 1 に記載の可変抵抗回路。

【請求項 3】 前記第 1 のデジタル制御スイッチ群及び前記第 2 のデジタル制御スイッチはそれぞれ、 N チャンネル型 MOS トランジスタ単独、または P チャンネル型 MOS トランジスタ単独で構成され、前記第 3 のデジタル制御スイッチは、 N チャンネル型 MOS トランジスタと P チャンネル型 MOS トランジスタの組み合わせで構成されることを特徴とする請求項 1 または 2 に記載の可変抵抗回路。

【請求項 4】 マルチビットのデジタル信号を 1 ビットの信号に変換し、この 1 ビットの信号を反転アンプ形式のアナログローパスフィルタを通してアナログ出力するようにして成り、前記マルチビットのデジタル信号が一定期間オール 0 であることを検出してカウンタを動作させ、このカウンタの計数値に基づいて、前記アナログローパスフィルタにおける反転アンプの帰還抵抗を段階的に小さくし、最終的にショートして D/A 変換出力を基準電位に固定する 0 データ検出ソフトミュート機能付きの 1 ビット D/A 変換器において、

前記帰還抵抗は、

n 個 (n は 2 以上の正の整数) の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第 1 のデジタル制御スイッチ群を設け、これら第 1 のデジタル制御スイッチ群がカウンタの L S B に対応する出力信号以外の出力信号に従って選択的にオン／オフ制御されることにより、合成抵抗値が段階的に変化する第 1 のデジタル制御可変抵抗器と、

2 個の抵抗を並列接続し、一方の抵抗に第 2 のデジタル

2

制御スイッチを直列接続し、この第 2 のデジタル制御スイッチを前記カウンタの L S B に対応する出力信号でオン／オフ制御するようにした第 2 のデジタル制御可変抵抗器と、

直列接続された前記第 1、第 2 のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第 1、第 2 のデジタル制御可変抵抗器の両端をショートする第 3 のデジタル制御スイッチとを備えたことを特徴とする D/A 変換器。

【請求項 5】 前記第 1 のデジタル制御可変抵抗器中の n 個の抵抗の抵抗値、及び前記第 2 のデジタル制御可変抵抗器中の 2 個の抵抗の抵抗値はそれぞれ実質的に等しいことを特徴とする請求項 4 に記載の D/A 変換器。

【請求項 6】 前記第 1 のデジタル制御スイッチ群及び前記第 2 のデジタル制御スイッチはそれぞれ、 N チャンネル型 MOS トランジスタ単独、または P チャンネル型 MOS トランジスタ単独で構成され、前記第 3 のデジタル制御スイッチは、 N チャンネル型 MOS トランジスタと P チャンネル型 MOS トランジスタの組み合わせで構成されることを特徴とする請求項 4 または 5 に記載の D/A 変換器。

【請求項 7】 n 個 (n は 2 以上の正の整数) の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第 1 のデジタル制御スイッチ群を設け、これら第 1 のデジタル制御スイッチ群がカウンタの L S B に対応する出力信号とその 1 つ上位のビット信号以外の出力信号に従って選択的にオン／オフ制御されることにより、合成抵抗値が段階的に変化する第 1 のデジタル制御可変抵抗器と、

4 個の抵抗を並列接続し、これらの抵抗の内の 3 個の抵抗にそれぞれ第 2 のデジタル制御スイッチ群を直列接続し、これらの第 2 のデジタル制御スイッチ群を前記カウンタの L S B に対応する出力信号とその 1 つ上位のビット信号でオン／オフ制御するようにした第 2 のデジタル制御可変抵抗器と、

直列接続された前記第 1、第 2 のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第 1、第 2 のデジタル制御可変抵抗器の両端をショートする第 3 のデジタル制御スイッチとを備えたことを特徴とするデジタル制御の可変抵抗回路。

【請求項 8】 前記第 1 のデジタル制御可変抵抗器中の n 個の抵抗の抵抗値及び前記第 2 のデジタル制御可変抵抗器中の前記第 2 のデジタル制御スイッチ群が直列接続されていない抵抗の抵抗値は r でそれぞれ実質的に等しく、且つ第 2 のデジタル制御スイッチ群が直列接続された 3 個の抵抗の抵抗値はそれぞれ $3r$ 、 r 、 $r/3$ であることを特徴とする請求項 7 に記載の可変抵抗回路。

【請求項 9】 前記第 1 のデジタル制御スイッチ群及び前記第 2 のデジタル制御スイッチ群はそれぞれ、 N チャ

50

ネル型MOSトランジスタ単独、またはPチャネル型MOSトランジスタ単独で構成され、前記第3のデジタル制御スイッチは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタの組み合わせで構成されることを特徴とする請求項7または8に記載の可変抵抗回路。

【請求項10】 マルチビットのデジタル信号を1ビットの信号に変換し、この1ビットの信号を反転アンプ形式のアナログローパスフィルタを通してアナログ出力するようにして成り、前記マルチビットのデジタル信号が一定期間オール0であることを検出してカウンタを動作させ、このカウンタの計数値に基づいて、前記アナログローパスフィルタにおける反転アンプの帰還抵抗を段階的に小さくし、最終的にショートしてD/A変換出力を基準電位に固定する0データ検出ソフトミュート機能付きの1ビットD/A変換器において、前記帰還抵抗は、

n個（nは2以上の正の整数）の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタのLSBに対応する出力信号とその1つ上位のビット信号以外の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、

4個の抵抗を並列接続し、これらの抵抗の内の3個の抵抗にそれぞれ第2のデジタル制御スイッチ群を直列接続し、これらの第2のデジタル制御スイッチ群を前記カウンタのLSBに対応する出力信号とその1つ上位のビット信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、

直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴とするD/A変換器。

【請求項11】 前記第1のデジタル制御可変抵抗器中のn個の抵抗の抵抗値及び前記第2のデジタル制御可変抵抗器中の前記第2のデジタル制御スイッチ群が直列接続されていない抵抗の抵抗値はrでそれぞれ実質的に等しく、且つ第2のデジタル制御スイッチ群が直列接続された3個の抵抗の抵抗値はそれぞれ3r、r、r/3であることを特徴とする請求項10に記載のD/A変換器。

【請求項12】 前記第1のデジタル制御スイッチ群及び前記第2のデジタル制御スイッチ群はそれぞれ、Nチャネル型MOSトランジスタ単独、またはPチャネル型MOSトランジスタ単独で構成され、前記第3のデジタル制御スイッチは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタの組み合わせで構成さ

れることを特徴とする請求項10または11に記載のD/A変換器。

【請求項13】 n個（nは2以上の正の整数）の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタの上位ビット側の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、

m個（mは2以上の正の整数）の抵抗を並列接続し、これらの抵抗の内の（m-1個）の抵抗にそれぞれ第2のデジタル制御スイッチを直列接続し、この第2のデジタル制御スイッチを前記カウンタの下位ビット側の出力信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、

直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴とするデジタル制御の可変抵抗回路。

【請求項14】 マルチビットのデジタル信号を1ビットの信号に変換し、この1ビットの信号を反転アンプ形式のアナログローパスフィルタを通してアナログ出力するようにして成り、前記マルチビットのデジタル信号が一定期間オール0であることを検出してカウンタを動作させ、このカウンタの計数値に基づいて、前記アナログローパスフィルタにおける反転アンプの帰還抵抗を段階的に小さくし、最終的にショートしてD/A変換出力を基準電位に固定する0データ検出ソフトミュート機能付きの1ビットD/A変換器において、前記帰還抵抗は、

n個（nは2以上の正の整数）の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタの上位ビット側の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、

m個（mは2以上の正の整数）の抵抗を並列接続し、これらの抵抗の内の（m-1個）の抵抗にそれぞれ第2のデジタル制御スイッチを直列接続し、この第2のデジタル制御スイッチを前記カウンタの下位ビット側の出力信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、

直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴とするD/A変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、可変抵抗回路及びこの可変抵抗回路を帰還抵抗に用いたD/A変換器に関するもので、特にカウンタの出力信号で制御されるデジタル制御の可変抵抗回路、及びΣΔ変調器を使ったD/A変換器（以下DAC）における出力回路部の0データ検出ミュート回路に係るものである。

【0002】

【従来の技術】従来、ΣΔ変調器を使ったD/A変換器の出力回路部は、例えば図23に示すように構成されている。マルチビットのデジタル信号は、ΣΔ変調器11に入力される。このΣΔ変調器11の1ビット出力信号NRZは、アンドゲート12の一方の入力端に供給されるとともに、反転されてナンドゲート13の一方の入力端に供給される。上記アンドゲート12の他方の入力端にはクロック信号CKが供給され、上記ナンドゲート13の他方の入力端には上記クロック信号CKが供給される。

【0003】上記アンドゲート12の出力信号RZはインバータ14を介して抵抗15の一端に供給され、上記ナンドゲート13の出力信号RZnはインバータ16を介して抵抗17の一端に供給される。上記抵抗15、17の他端は抵抗18の一端に接続され、この抵抗18の他端は抵抗19の一端に接続される。上記抵抗18の一端と接地点GND間にはキャパシタ20が接続され、上記抵抗18の他端と接地点GND間にはキャパシタ21が接続される。上記抵抗19の他端は、オペアンプ22の反転入力端（-）に接続され、このオペアンプ22の非反転入力端（+）は接地点GNDに接続される。

【0004】上記オペアンプ22の出力端と反転入力端（-）間には、キャパシタ23と抵抗24が並列接続され、出力信号PRZが反転入力端（-）に帰還されるようになっている。

【0005】上記ΣΔ変調器11から出力される1ビット出力信号NRZは、通常、図24のタイミングチャートに示すようになる。また、上記アンドゲート12の出力信号RZは、上記1ビット出力信号NRZとクロック信号CKとの論理積であり、上記ナンドゲート13の出力信号RZnは、上記1ビット出力信号NRZの反転信号とクロック信号CKとの否定論理積である。そして、D/A変換器の出力信号PRZは、上記アンドゲート12の出力信号RZと上記ナンドゲート13の出力信号RZnとを合成した波形となる。

【0006】ところで、D/A変換器においては、入力デジタル信号が一定期間0データであることを検出し、出力を一定のDC値（通常は中点電位）に固定してしまう機能（以下0データ検出ミュート機能）を要求されることが多い。すなわち、一般に、D/A変換器では同一チップ上または同一ボード上に大規模なデジタル回路が

存在することが多く、このデジタル回路から多大な不要放射が空間または電源線を通してノイズとしてD/A変換器に飛び込んでくる。また、ΣΔ変調器11は0データが入力されても1ビット出力信号はDC値にはならず、再量子化ノイズのため非常に高い周波数のノイズを含んだ波形になっている。このため、本来、入力されるデジタル信号が0データであれば何も出力されないはずであるが、上記ノイズのために不快な音出力されたり、S/N比の測定で悪い値が出たりすることが多い。

【0007】これを防ぐために、一定期間（通常は100msec.程度）0データが続く場合には、これを検出してD/A変換器のアナログ出力を基準電位に固定する0データ検出ミュート機能を用いる。基準電位は、通常大きな容量のコンデンサでデカップリングしてあるのでノイズの混入が少なく、上記ミュート機能により不快な音出力されたり、S/N比の測定値が悪くなるのを防ぐことができる。

【0008】図25は、上述した0データ検出ミュート機能付きの従来のD/A変換器の出力回路部の構成例を示している。この出力回路部は、上記図23に示した回路において、オペアンプ22の出力端と反転入力端

（-）間にアナログスイッチ回路25を接続し、0データ検出回路26の出力信号MUTEでオン/オフ制御するものである。上記0データ検出回路26には、マルチビットのデジタル信号が入力され、この0データ検出回路26でオペアンプ22の帰還抵抗24をショートするか否か、換言すればミュートオン/オフを決定している。

【0009】このような回路構成では、0データ検出回路26によって、マルチビットのデジタル信号として一定期間0データが続くのが検出された時に、アナログスイッチ回路25をオンすれば、オペアンプ22の帰還抵抗（抵抗24）をショートしてしまうので、ノイズにより不快な音出力されたり、S/N比の測定値が悪くなるのを防ぐことができる。

【0010】しかしながら、上記のような回路構成では、0データ検出によるミュートのオン/オフを行う上で大きな問題がある。それはミュートオン/オフ時にポツ音が発生するというものである。このポツ音はミュートオン時とミュートオフ時のDC値が異なることに起因して発生するものであるが、その原因は以下に述べるように様々である。

【0011】まず、デジタルDCオフセットによるポツ音の発生である。通常、0データ検出ミュート機能付きD/A変換器の出力回路部には、0データの入力時に固定パターンが発生し、有害なビート音を発生するというΣΔ変調器特有の問題を防ぐために、図26に示すようにΣΔ変調器11の入力端に加算器27を設け、ΣΔ変調器11の入力信号に予め図27に示すようなデジタルDCオフセットを加えることが多い。これにより、当

然、上記入力デジタルDCオフセットに対応したアナログDCオフセットが出力され、ミュートオン/オフ時にポツ音が発生する。

【0012】そこで、抵抗15、17の他端と抵抗18の一端との間に加算器28を設け、デジタルDCオフセットをキャンセルするためのアナログDCオフセットを加算する方法が採用されている。しかし、素子精度や素子ばらつきなどの影響でDCオフセットを完全にはキャンセルできず、多少DCオフセットが残る。

【0013】次に、D/A変換器の波形鈍りや素子ばらつきによるDCオフセット、換言すれば、DACとしてのDC誤差である。

【0014】最後に、オペアンプ22の入力換算DCオフセットである。図28に示すように、アナログスイッチ回路25により帰還抵抗24をショートしてミュートを行う場合、EOSなる入力換算DCオフセットを持つオペアンプ22はミュートオン/オフでこのEOSのDC変位（ミュートオフ時には2EOS、ミュートオン時にはEOS）が発生してポツ音となる。

【0015】以上の原因は回路構成の工夫、素子精度の向上、素子ばらつきの抑制などで小さくできるものの、完全になくすることができない。つまりミュートオン/オフでどうしても多少のDC変位が発生し、ポツ音が発生してしまう。

【0016】そこで、このポツ音を少しでも小さくするために、上記図25及び図26に示した回路におけるアナログスイッチ回路25に代えて、帰還抵抗24そのものを可変抵抗とし、段階的に小さく、または大きくする事でポツ音を小さくする技術が考えられた。

【0017】すなわち、ミュートオン/オフでEMなる電位差を生じるとした場合、アナログスイッチ回路25で一度にオン/オフすると、図29に示すように階段状の波形となり耳につくポツ音となる。しかしながら、図30に示すように段階的に電圧を変化させればポツ音は聴感上小さく聞こえる。この図30の場合は15ステップで小さくしている。更に、図31に示すように、ステップ数を増やして滑らかに変化させれば当然ポツ音をより小さくできる。

【0018】図32は、0データ検出ミュート機能を有し、ポツ音を小さくできるDACの出力回路部の構成例を示している。マルチビットのデジタル信号は、 $\Sigma\Delta$ 変調器11及び0データ検出回路26に入力される。上記 $\Sigma\Delta$ 変調器11から出力されるmレベルのデジタル出力は、mレベルのDAC31に供給され、このDAC31からのアナログ出力は、抵抗32、18、19を介してオペアンプ22の反転入力端（-）に供給される。ここで、 $\Sigma\Delta$ 変調器11の出力レベルは、一般的に $m=1\sim 15$ 程度の値である。上記抵抗32、18の接続点と接地点GND間にはキャパシタ20が接続され、上記抵抗18、19の接続点と接地点GND間にはキャパシタ2

1が接続される。

【0019】また、上記オペアンプ22の非反転入力端（+）には、基準電位VREFが印加される。この基準電位VREFは、電源VDDと接地点GND間に直列接続された抵抗33、34と、これら抵抗33、34の接続点と接地点GND間に接続されたキャパシタ35とで生成される。

【0020】上記オペアンプ22の出力端と反転入力端（-）間には、キャパシタ24と可変抵抗回路36が並列接続されている。上記可変抵抗回路36は、上記オペアンプ22の帰還抵抗として働くもので、抵抗値が $0\sim (2^{n-1}-1)r$ に段階的に変化する。

【0021】一方、上記0データ検出回路26の出力信号は、nビットのアップ/ダウン（U/D）カウンタ37に供給される。このカウンタ37から出力されるnビットの計数値は、デコーダ38に供給される。このデコーダ38は、上記カウンタ37から出力されるnビットの計数値をデコードして 2^{n-1} のデコード信号を生成し、上記可変抵抗回路36に供給してその抵抗値を $0\sim (2^{n-1}-1)r$ に段階的に制御する。

【0022】図33は、上記図32に示した回路を更に具体的に示したもので、 $m=1$ 、 $n=4$ の場合の回路構成例である。この図33に示す回路では、マルチビットのデジタル信号は、 $\Sigma\Delta$ 変調器11及び0データ検出回路26に入力される。この $\Sigma\Delta$ 変調器11の1ビット出力信号NRZは、アンドゲート12の一方の入力端に供給されるとともに、反転されてナンドゲート13の一方の入力端に供給される。上記アンドゲート12の他方の入力端にはクロック信号CK1が供給され、上記ナンドゲート13の他方の入力端には上記クロック信号CK1が供給される。

【0023】上記アンドゲート12の出力信号RZはインバータ14を介して抵抗15の一端に供給され、上記ナンドゲート13の出力信号RZnはインバータ16を介して抵抗17の一端に供給される。上記抵抗15、17の他端は抵抗18の一端に接続され、この抵抗18の他端は抵抗19の一端に接続される。上記抵抗18の一端と接地点GND間にはキャパシタ20が接続され、上記抵抗18の他端と接地点GND間にはキャパシタ21が接続される。

【0024】上記抵抗19の他端は、オペアンプ22の反転入力端（-）に接続され、このオペアンプ22の非反転入力端（+）には、基準電位VREFが印加される。基準電位VREFは、電源VDDと接地点GND間に直列接続された抵抗33、34と、これら抵抗33、34の接続点と接地点GND間に接続されたキャパシタ35とで生成される。

【0025】上記オペアンプ22の出力端と反転入力端（-）間には、キャパシタ23と可変抵抗回路36が並列接続され、出力信号PRZが反転入力端（-）に帰還

9

されるようになっている。上記可変抵抗回路 36 は、抵抗値が $0 \sim 15r$ に r 単位で段階的に変化する。

【0026】上記 0 データ検出回路 26 の出力信号 ZD は、4 ビットのアップ/ダウン (U/D) カウンタ 37 の入力端子 U/D i に供給される。このカウンタ 37 のクロック入力端子 CK には、クロック信号 CK 2 が供給される。このカウンタ 37 の出力端子 Q1 ~ Q4 から出力される 4 ビットの計数値は、デコーダ 38 に供給される。このデコーダ 38 は、上記カウンタ 37 の出力端子 Q1 ~ Q4 から出力される 4 ビットの計数値をデコードしてスイッチ制御信号 S1 ~ S15 を生成し、上記可変抵抗回路 36 に供給してその抵抗値が $0 \sim 15r$ となるように r 単位で段階的に制御する。

【0027】図 34 は、上記図 33 に示した回路における 0 データ検出回路 26 の構成例を示している。この 0 データ検出回路 26 は、オアゲート 40、フリップフロップ 41、N ビットのカウンタ 42 及び RS フリップフロップ 43 から構成されている。

【0028】マルチビットのデジタル信号は、オアゲート 40 に供給され、このオアゲート 40 の出力が上記フリップフロップ 41 のデータ入力端 D に供給される。このフリップフロップ 41 のクロック入力端 CK にはクロック信号 CK 2 が供給され、出力端 Q は上記 N ビットカウンタ 42 のリセット入力端 R 及び RS フリップフロップ 43 のリセット入力端 R にそれぞれ接続される。上記 N ビットカウンタ 41 の入力端子 CK には、クロック信号 CK 2 が供給され、このクロック信号 CK 2 に応答してカウント動作を行う。このカウンタ 42 の最上位ビット MSB は、上記 RS フリップフロップ 43 のセット入力端 S に接続され、この RS フリップフロップ 43 の出力端 Q から信号 ZD が出力される。

【0029】上記 0 データ検出回路 26 は、マルチビットのデジタル信号が 0 データになると N ビットのカウンタ 42 でカウント動作を開始し、このカウンタ 42 の最上位ビットまで計数、すなわち所定の期間 0 データが連続して入力されると RS フリップフロップ 43 がセットされ、この RS フリップフロップ 43 の出力端 Q から 0 データの検出信号 ZD が出力されるようになっている。

【0030】図 35 は、上記図 33 に示した回路における 4 ビットアップ/ダウカウンタ 37 及びデコーダ 38 を抽出して示すブロック図である。上記カウンタ 37 は、クロック入力端子 CKUD i、上記 0 データの検出信号 ZD が供給される入力端子 U/D i、及び出力端子 Q1 ~ Q4 を備えている。

【0031】上記デコーダ 38 には、上記 4 ビットのアップ/ダウカウンタ 37 の出力信号 Q1、Q2、Q3、Q4 及びストロブ信号 STROBE が供給され、これらの信号をデコードして可変抵抗回路 36 の抵抗値 Rmt を段階的に制御するための 16 ビットのスイッチ制御信号 S1 ~ S15 を出力する。

10

【0032】図 36 は、上記図 35 に示した 4 ビットアップ/ダウカウンタ 37 の具体的な構成例を示す回路図である。このカウンタ 37 は、フリップフロップ 44 ~ 51、インバータ 52、53、ナンドゲート 54、55、ノアゲート 56、エクスクルーシブノアゲート 57、~ 60 及びエクスクルーシブオアゲート 61 ~ 63 等を含んで構成されている。

【0033】入力端子 CKUD i には、フリップフロップ 44、45 のクロック入力端 CK が接続される。入力端子 U/D i には、フリップフロップ 50 のデータ入力端 D が接続される。また、端子 CKUD には、フリップフロップ 44 のデータ出力端 Q、フリップフロップ 45 のデータ入力端 D、フリップフロップ 46、50、51 のクロック入力端 CK がそれぞれ接続される。この際、上記フリップフロップ 50、51 のクロック入力端 CK には、端子 CKUD の信号が反転して供給される。この端子 CKUD の信号は、上記入力端子 CKUD i に供給されるクロック信号の 4 倍の周期のクロック信号となる。

【0034】上記フリップフロップ 44 のデータ入力端 D には、上記インバータ 52 の出力端及びナンドゲート 55 の第 1 の入力端が接続されている。上記フリップフロップ 45 のデータ出力端 Q には、上記インバータ 52 の入力端が接続され、信号 HOLD が供給される。上記ナンドゲート 55 の出力端には、エクスクルーシブノアゲート 57 ~ 60 の一方の入力端がそれぞれ接続され、信号 HOLD' が供給される。上記エクスクルーシブノアゲート 57 ~ 60 の出力端には、フリップフロップ 46 ~ 49 のデータ入力端 D がそれぞれ接続される。

【0035】上記フリップフロップ 46 の出力端 Q には、エクスクルーシブノアゲート 57 の他方の入力端、出力端子 Q1、ナンドゲート 54 の第 1 の入力端、ノアゲート 56 の第 1 の入力端、及びエクスクルーシブオアゲート 61 の一方の入力端がそれぞれ接続される。

【0036】上記フリップフロップ 47 の出力端 Q には、エクスクルーシブノアゲート 58 の他方の入力端、出力端子 Q2、ナンドゲート 54 の第 2 の入力端、ノアゲート 56 の第 2 の入力端、及びエクスクルーシブオアゲート 62 の一方の入力端がそれぞれ接続される。このフリップフロップ 47 のクロック入力端 CK には、上記エクスクルーシブオアゲート 61 の出力端が接続され、信号 Q1' が供給される。

【0037】上記フリップフロップ 48 の出力端 Q には、エクスクルーシブノアゲート 59 の他方の入力端、出力端子 Q3、ナンドゲート 54 の第 3 の入力端、ノアゲート 56 の第 3 の入力端、及びエクスクルーシブオアゲート 63 の一方の入力端がそれぞれ接続される。このフリップフロップ 48 のクロック入力端 CK には、上記エクスクルーシブオアゲート 62 の出力端が接続され、信号 Q2' が供給される。

11

【0038】上記フリップフロップ49の出力端Qには、エクスクルーシブノアゲート60の他方の入力端、出力端子Q4、ナンドゲート54の第4の入力端、及びノアゲート56の第4の入力端がそれぞれ接続される。このフリップフロップ49のクロック入力端CKには、上記エクスクルーシブノアゲート63の出力端が接続され、信号Q3'が供給される。

【0039】上記フリップフロップ50のデータ出力端Qには、フリップフロップ51のデータ入力端Dが接続され、このフリップフロップ51のデータ出力端Qには、ナンドゲート54の第5の入力端、ノアゲート56の第5の入力端、及びエクスクルーシブノアゲート61、62、63の他方の入力端がそれぞれ接続され、信号U/Dがそれぞれ供給される。

【0040】更に、上記ナンドゲート54の出力端はナンドゲート55の第2の入力端に接続されて、信号ALL1/（符号の後に付けた“/”は反転信号、すなわちバーを意味する）が供給される。また、上記ノアゲート56の出力端はインバータ53の入力端に接続され、このインバータ53の出力端がナンドゲート55の第3の入力端に接続され、信号ALL0が供給されるようになっている。

【0041】図37(a)、(b)、(c)はそれぞれ、上記図35に示した回路におけるデコーダ38の構成例を示しており、(a)図は具体的な回路図、(b)図は(a)図におけるシフトレジスタのシンボル図、(c)図は(b)図に示したシフトレジスタの詳細な構成例を示す回路図である。

【0042】上記デコーダ38は、アンドゲート71～78、インバータ79～86、ナンドゲート87～101及びシフトレジスタ102～116を含んで構成されている。アップ/ダウンカウンタ37のカウント出力Q1は、インバータ79の入力端に供給されるとともに、反転されてアンドゲート71、73の一方の入力端に供給される。カウント出力Q2は、インバータ80の入力端に供給されるとともに、反転されて上記アンドゲート71の他方の入力端及びアンドゲート72の一方の入力端に供給される。カウント出力Q3は、インバータ81の入力端に供給されるとともに、反転されてアンドゲート75、77の一方の入力端に供給される。更に、カウント出力Q4は、インバータ82の入力端に供給されるとともに、反転されてアンドゲート75の他方の入力端及びアンドゲート76の一方の入力端に供給される。

【0043】上記インバータ79の出力信号は、反転されてアンドゲート72の他方の入力端に供給されるとともに、反転されてアンドゲート74の一方の入力端に供給される。上記インバータ80の出力信号は、反転されてアンドゲート73の他方の入力端に供給されるとともに、反転されてアンドゲート74の他方の入力端に供給される。上記インバータ81の出力信号は、反転されて

12

アンドゲート76の他方の入力端に供給されるとともに、反転されてアンドゲート78の一方の入力端に供給される。上記インバータ82の出力信号は、反転されて上記アンドゲート77、78の他方の入力端に供給される。

【0044】上記カウンタ37の各カウント出力Q1、Q2、Q3、Q4をそれぞれA、B、C、Dとおくと、アンドゲート71の論理出力は $A \cdot B$ 、アンドゲート72の論理出力は $A \cdot B$ 、アンドゲート73の論理出力は $A \cdot B$ 、アンドゲート74の論理出力は $A \cdot B$ 、アンドゲート75の論理出力は $C \cdot D$ 、アンドゲート76の論理出力は $C \cdot D$ 、アンドゲート77の論理出力は $C \cdot D$ 、アンドゲート78の論理出力は $C \cdot D$ となる。

【0045】なお、ここで符号の後に付けた“/”はバーを意味しており、 $A/$ 、 $B/$ 、 $C/$ 、 $D/$ はそれぞれA、B、C、Dの反転信号である。

【0046】上記アンドゲート71の出力信号はナンドゲート90、94、98の一方の入力端にそれぞれ供給され、上記アンドゲート72の出力信号はナンドゲート87、91、95、99の一方の入力端に供給される。また、上記アンドゲート73の出力信号はナンドゲート88、92、96、100の一方の入力端に供給され、上記アンドゲート74の出力信号はナンドゲート89、93、97、101の一方の入力端に供給される。上記アンドゲート75の出力信号は上記ナンドゲート87～89の他方の入力端に供給される。上記アンドゲート76の出力信号はナンドゲート90～93の他方の入力端に供給される。また、上記アンドゲート77の出力信号はナンドゲート94～97の他方の入力端に接続される。更に、上記アンドゲート78の出力信号はナンドゲート98～101の他方の入力端に供給される。上記各ナンドゲート87～101の出力信号は、シフトレジスタ102～116のデータ入力端Dにそれぞれ反転して供給される。

【0047】上記各シフトレジスタ103、105、107、109、111、113、115のクロック入力端CKには、ストロブ信号STROBEがインバータ83～85を介して供給され、上記各シフトレジスタ102、104、106、108、110、112、114、116のクロック入力端CKには、ストロブ信号STROBEがインバータ83、84、86を介して供給される。そして、上記各シフトレジスタ102～116の出力端Qからスイッチ制御信号S1～S15を出力するようになっている。

【0048】図37(b)のシンボル図で示す各シフトレジスタ103～116はそれぞれ、図37(c)に示すように構成されている。すなわち、クロック信号 $\phi/$ （クロック信号 ϕ と逆相の信号）で制御されるクロックドインバータ120、121、クロック信号 ϕ で制御さ

13

れるクロックドインバータ122, 123及びインバータ124, 125を含んで構成されている。上記クロックドインバータ120, インバータ124, クロックドインバータ123及びインバータ125は、出力端と入力端が順次縦続接続されている。クロックドインバータ122の入力端はインバータ124の出力端に接続され、出力端はこのインバータ124の入力端に接続される。クロックドインバータ121の入力端はインバータ125の出力端に接続され、出力端はこのインバータ125の入力端に接続される。そして、入力されたデータをインバータ126で反転して取り込むようになっている。

【0049】図38は、上記図33に示したデコーダ38の動作について説明するための真理値を示す図であり、上記図37に示した回路の論理動作をまとめて示している。入力信号A, B, C, Dのレベルの組み合わせに応じてスイッチ制御信号S1～S15が選択的に

“H”レベルになり、可変抵抗回路36の抵抗値が15/15～0/15に変化するように制御する。例えば、入力信号A, B, C, Dが全て“0”レベルの時には可変抵抗回路36の抵抗値Rmtが最大(ATT=15/15)となる。入力信号Aが“1”レベルで、入力信号B, C, Dが“0”レベルの時には、スイッチ制御信号S1が“H”レベルとなり、ATT=14/15となる。以下、同様に入力信号のレベルに応じてATTが1/15ずつ減少し、入力信号A, B, C, Dが全て“1”レベルになると、スイッチ制御信号S15が“H”レベルとなり、可変抵抗回路36の抵抗値Rmtは最小(ATT=0/15)となる。

【0050】図39(a), (b), (c)はそれぞれ、上記図33に示した回路における可変抵抗回路(帰還抵抗)36の具体的な構成例を示すもので、(a)図は全体の回路図、(b)図は(a)図に示した回路におけるアナログスイッチ回路のシンボル図、(c)図は(b)図に示したアナログスイッチ回路の詳細な構成例を示す回路図である。

【0051】この可変抵抗回路36は、各々の抵抗値がrの抵抗R1～R15とアナログスイッチ回路SW1～SW15を含んで構成されている。上記抵抗R1～R15は、オペアンプ22の反転入力端(－)と出力端間に直列接続される。アナログスイッチ回路SW1～SW15の電流通路はそれぞれ、各抵抗R1～R15の接続点とオペアンプ19の反転入力端(－)間に接続されており、上記デコーダ38から出力されるスイッチ制御信号S1～S15が供給されて選択的にオン/オフ制御される。これによって、オペアンプ22の帰還抵抗が抵抗値rの単位で0～15rに段階的に変化し、図30で示したようにミュートオン/オフによるDC変位は滑らかに移行してボツ音を減少させるようになっている。

【0052】図39(b)のシンボル図に示す上記アナ

14

ログスイッチ回路SW1～SW15はそれぞれ、例えば図39(c)に示すように、Pチャネル型MOSトランジスタP1, P2, P3, Nチャネル型MOSトランジスタN1, N2及びインバータINV1で構成されている。上記MOSトランジスタP1とN1の電流通路は並列接続され、上記MOSトランジスタP2とN2の電流通路は並列接続されている。MOSトランジスタP1, N1の電流通路は、アナログスイッチ回路SWの端子iと端子o間に接続される。

【0053】アナログスイッチ回路SWの端子cには、インバータINV1の入力端が接続され、このインバータINV1の出力端にはMOSトランジスタP1, P2のゲートが接続される。MOSトランジスタN2, P2の電流通路の一端は上記MOSトランジスタP1のバックゲートに接続され、他端は端子oに接続される。また、上記MOSトランジスタP1のバックゲートと電源VDD間には、MOSトランジスタP3の電流通路が接続され、このMOSトランジスタP3のゲートはMOSトランジスタN1, N2のゲート及び上記端子cに接続される。そして、上記MOSトランジスタN1, N2のバックゲートは接地点GNDに接続され、上記MOSトランジスタP2, P3のバックゲートは電源VDDに接続されている。

【0054】この図39(c)に示すアナログスイッチ回路は、オン抵抗が小さいという特長を持っている。

【0055】図40及び図41はそれぞれ、上記図33乃至図39に示した回路の動作を説明するためのタイミングチャートである。ここでは、主に0データ検出ミュート回路26と4ビットアップ/ダウンカウンタ37の動作に着目して示している。

【0056】まず、アップ/ダウンカウンタ37が0の状態では、可変抵抗回路36の抵抗値Rmtは15rで通常状態である。

【0057】DACへの入力が一定期間0データであると、0データ検出回路26の出力信号ZDが“H”レベル、すなわちアップ/ダウンカウンタ37の入力端子U/Diが“H”レベルとなる。入力端子U/Diが“H”レベルとなると、このカウンタ37はアップカウント動作をスタートし、カウンタ37の計数値が1, 2, 3, …とカウントアップして行く。これに従って、デコーダ38のスイッチ制御信号S1, S2, S3, …が順次“H”レベルとなり、それに対応したアナログスイッチ回路SW1, SW2, SW3, …が順次オンし、可変抵抗回路36の抵抗値Rmtは14r, 13r, 12r, …と小さくなって行く。そして、最終的にスイッチ制御信号S15が“H”レベルとなり、可変抵抗回路36はショート状態(カウンタの状態は15)となりミュートオンとなる。

【0058】逆に、DAC入力が0データでなくなると、信号ZDは瞬時に“L”レベル、すなわちアップ/

15

ダウンカウンタ37の入力端U/Diが“L”レベルとなる。入力端U/Diが“L”レベルとなると、アップ／ダウンカウンタ37はダウンカウント動作をスタートし、カウンタ37の計数値が14, 13, 12, …と下がって行く。これに従って、デコーダ38から出力されるスイッチ制御信号S14, S13, S12, …が順次“H”レベルとなり、それに対応したアナログスイッチ回路SW14, SW13, SW12, …がオンし、可変抵抗回路36の抵抗値Rmtはr, 2r, 3r, …と大きくなって行く。そして、最終的にカウンタ37の計数値が0となり、全てのアナログスイッチ回路SW1～SW15がオフ状態となつて、可変抵抗回路36の抵抗値Rmtは通常時の15rとなりミュートオフとなる。

【0059】なお、図41の期間T1に示すように、0データの連続回数が少なく、カウンタ37の計数値が15に達する前にDAC入力が0データでなくなると、その時点からダウンカウント動作となり、フェードアウトの状態からフェードインになるので、ミュートオンにはならない。

【0060】また、期間T2に示すように、0データの連続回数が少なく、カウンタ37の計数値が15に達する前にDAC入力が0データでなくなり、ダウンカウント動作となった後、再び0データが検出されると、フェードアウトの状態からフェードイン、フェードアウトと繰り返す。

【0061】図42は、DACのフィルタアンプ部が差動アンプ形式である場合のミュート回路の構成例を示す回路図である。この場合は帰還抵抗のみでなく、非反転入力端(+)と基準電位(VREF)の間の抵抗値も変化させる必要がある。

【0062】図42に示す回路において、前記図32と同一構成部には同じ符号を付してその詳細な説明は省略する。すなわち、mレベルDAC31'の第1のアナログ出力は抵抗32-1, 18-1, 19-1を介してオペアンプ22の反転入力端(-)に供給され、第2のアナログ出力(第1のアナログ出力の反転)は抵抗32-2, 18-2, 19-2を介してオペアンプ22の非反転入力端(+)に供給される。キャパシタ20の一方の電極は上記抵抗32-1と18-1との接続点に接続され、他方の電極は上記抵抗32-2と18-2との接続点に接続される。また、キャパシタ21の一方の電極は上記抵抗18-1と19-1との接続点に接続され、他方の電極は上記抵抗18-2と19-2との接続点に接続される。

【0063】上記オペアンプ22の非反転入力端(+)には可変抵抗回路39が設けられ、上記デコーダ38の出力信号で抵抗値Rmtが抵抗値rの単位で0～(2n-1)rに段階的に制御される。

【0064】図43は、上記図42に示した回路の具体例を示す回路図である(m=1, n=4)。アンドゲート12の出力信号RZは、インバータ14-1の入力端に供給されると共に、インバータ10-1を介してインバータ14-2の入力端に供給される。また、ナンドゲート13の出力信号RZnは、インバータ16-1の入力端に供給されると共に、インバータ10-2を介してインバータ16-2の入力端に供給される。上記各インバータ14-1, 16-1, 14-2, 16-2の出力端にはそれぞれ、抵抗15-1, 17-1, 15-2, 17-2の一端が接続される。そして、上記抵抗15-1, 17-1の他端が共通接続されて抵抗18-1の一端に接続され、上記抵抗15-2, 17-2の他端が共通接続されて抵抗18-2の一端に接続される。

【0065】ところで、極力ボツ音を小さくするためには、図30と図31を比較すると分かるように、ミュートオン／オフ時の波形をより滑らかにする必要がある。

【0066】ここで、図32及び図33に示した回路でオペアンプ22の帰還抵抗(図39(a)に示した可変抵抗回路36)の変化ステップ数を2倍にすることを考えてみる。

【0067】図44は、変化ステップ数を2倍にできる可変抵抗回路36'の構成例を示す回路図である。図示する如く、端子INとOUT間に直列接続された31個の抵抗と、端子INとOUT間に接続された1個のアナログスイッチ回路、及び各抵抗の接続点と端子IN間に接続された30個のアナログスイッチ回路が必要となる。すなわち、回路規模が2倍になっていることが分かる。

【0068】図45(a)は、上記図44に示した回路におけるアナログスイッチ回路のシンボル図、図45

(b)は、詳細な構成例を示す回路図である。このアナログスイッチ回路は、端子iと端子o間に電流通路が並列接続されたPチャネル型MOSトランジスタP4、Nチャネル型MOSトランジスタN4及びインバータINV2で構成されている。インバータINV2の入力端は端子cに接続され、その出力端はMOSトランジスタP4のゲートに接続されている。このMOSトランジスタP4のバックゲートは電源VDDに接続され、上記MOSトランジスタN4のバックゲートは接地点GNDに接続されている。

【0069】このような比較的素子数の少ないアナログスイッチ回路を用いたとしても、抵抗値の変化ステップ数を増加させようとすると大幅な回路規模の増大は避けられない。

【0070】また、上記図44及び図45(a),

(b)に示したアナログスイッチ回路に、スイッチ制御信号S1～S31を供給するデコーダ38'も、図46及び図47(a), (b), (c)に示すように大規模となり、回路規模がほぼ2倍になっている。

【0071】図48に、上記図47に示したデコーダ38'における入力信号A, B, C, D, Eとスイッチ選

17

択信号S1～S31との関係、及びミュート回路の状態の真理値を示す。

【0072】図47(a), (b), (c)では、図37(a), (b), (c)で示した回路におけるシフトレジスタを、素子数の少ないラッチ回路で構成しているが、回路規模は大幅に増大している。

【0073】なお、アップ/ダウカウンタ37'の回路規模はあまり大きくならないが、帰還抵抗36'とデコーダ38'の回路規模が2倍になることで全体の回路規模はかなり大きくなってしまふ。

【0074】更に、ステップ数を4倍にすると帰還抵抗とデコーダの回路規模が4倍となり非常に負担が大きくなってしまふ。また、DACのフィルタアンプ部が差動アンプ形式の場合には、オペアンプの帰還抵抗のみでなく、非反転入力端と基準電位の間の抵抗も同様に構成する必要があるため、より回路規模が増大することになる。

【0075】

【発明が解決しようとする課題】上述したように、従来の可変抵抗回路は、ステップ数を多くしようとすると回路規模の増大を招くという問題があった。

【0076】また、上記可変抵抗回路を帰還抵抗に用いたD/A変換器では、ポツ音を小さくするために帰還抵抗のステップ数を多くしようとすると、帰還抵抗及びデコーダの回路規模が非常に大きくなり、コストの上昇を招く原因になるという問題があった。

【0077】この発明は、上記事情に鑑みてなされたもので、その目的は、回路規模の増大を抑制しつつステップ数を多くできる可変抵抗回路を提供することにある。

【0078】また、この発明の他の目的は、帰還抵抗及びデコーダの回路規模の増大を招くことなく、等価的に帰還抵抗の抵抗値を変化させるステップ数を増やすことができる0データ検出ソフトミュート機能付きの1ビットD/A変換器を提供することにある。

【0079】この発明の更に他の目的は、大幅な回路規模の増大を抑制しつつ、低コストで高性能な0データ検出ソフトミュート機能付きの1ビットD/A変換器を提供することにある。

【0080】

【課題を解決するための手段】上記目的を達成するために、この発明の請求項1に記載した可変抵抗回路は、n個(nは2以上の正の整数)の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタのLSBに対応する出力信号以外の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、2個の抵抗を並列接続し、一方の抵抗に第2のデジタル制御スイッチを直列接続し、この第2のデジタル制御スイッチを前記カウンタ

18

のLSBに対応する出力信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴としている。

【0081】請求項2に記載したように、請求項1の可変抵抗回路において、前記第1のデジタル制御可変抵抗器中のn個の抵抗の抵抗値、及び前記第2のデジタル制御可変抵抗器中の2個の抵抗の抵抗値はそれぞれ実質的に等しいことを特徴とする。

【0082】請求項3に記載したように、請求項1または2の可変抵抗回路において、前記第1のデジタル制御スイッチ群及び前記第2のデジタル制御スイッチはそれぞれ、Nチャネル型MOSトランジスタ単独、またはPチャネル型MOSトランジスタ単独で構成され、前記第3のデジタル制御スイッチは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタの組み合わせで構成されることを特徴とする。

【0083】また、この発明の請求項4に記載したD/A変換器は、マルチビットのデジタル信号を1ビットの信号に変換し、この1ビットの信号を反転アンプ形式のアナログローパスフィルタを通してアナログ出力するようにして成り、前記マルチビットのデジタル信号が一定期間オール0であることを検出してカウンタを動作させ、このカウンタの計数値に基づいて、前記アナログローパスフィルタにおける反転アンプの帰還抵抗を段階的に小さくし、最終的にショートしてD/A変換出力を基準電位に固定する0データ検出ソフトミュート機能付きの1ビットD/A変換器において、前記帰還抵抗は、n個(nは2以上の正の整数)の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタのLSBに対応する出力信号以外の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、2個の抵抗を並列接続し、一方の抵抗に第2のデジタル制御スイッチを直列接続し、この第2のデジタル制御スイッチを前記カウンタのLSBに対応する出力信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴としている。

【0084】請求項5に記載したように、請求項4のD/A変換器において、前記第1のデジタル制御可変抵抗器中のn個の抵抗の抵抗値、及び前記第2のデジタル制

19

御可変抵抗器中の2個の抵抗の抵抗値はそれぞれ実質的に等しいことを特徴とする。

【0085】請求項6に記載したように、請求項4または5のD/A変換器において、前記第1のデジタル制御スイッチ群及び前記第2のデジタル制御スイッチはそれぞれ、Nチャネル型MOSトランジスタ単独、またはPチャネル型MOSトランジスタ単独で構成され、前記第3のデジタル制御スイッチは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタの組み合わせで構成されることを特徴とする。

【0086】更に、この発明の請求項7に記載した可変抵抗回路は、 n 個 (n は2以上の正の整数)の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタのLSBに対応する出力信号とその1つ上位のビット信号以外の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、4個の抵抗を並列接続し、これらの抵抗の内の3個の抵抗にそれぞれ第2のデジタル制御スイッチ群を直列接続し、これらの第2のデジタル制御スイッチ群を前記カウンタのLSBに対応する出力信号とその1つ上位のビット信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴としている。

【0087】請求項8に記載したように、請求項7の可変抵抗回路において、前記第1のデジタル制御可変抵抗器中の n 個の抵抗の抵抗値及び前記第2のデジタル制御可変抵抗器中の前記第2のデジタル制御スイッチ群が直列接続されていない抵抗の抵抗値は r でそれぞれ実質的に等しく、且つ第2のデジタル制御スイッチ群が直列接続された3個の抵抗の抵抗値はそれぞれ $3r$ 、 r 、 $r/3$ であることを特徴とする。

【0088】請求項9に記載したように、請求項7または8の可変抵抗回路において、前記第1のデジタル制御スイッチ群及び前記第2のデジタル制御スイッチ群はそれぞれ、Nチャネル型MOSトランジスタ単独、またはPチャネル型MOSトランジスタ単独で構成され、前記第3のデジタル制御スイッチは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタの組み合わせで構成されることを特徴とする。

【0089】また、この発明の請求項10に記載したD/A変換器は、マルチビットのデジタル信号を1ビットの信号に変換し、この1ビットの信号を反転アンプ形式のアナログローパスフィルタを通してアナログ出力するようにして成り、前記マルチビットのデジタル信号が

20

定期間オール0であることを検出してカウンタを動作させ、このカウンタの計数値に基づいて、前記アナログローパスフィルタにおける反転アンプの帰還抵抗を段階的に小さくし、最終的にショートしてD/A変換出力を基準電位に固定する0データ検出ソフトミュート機能付きの1ビットD/A変換器において、前記帰還抵抗は、 n 個 (n は2以上の正の整数)の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタのLSBに対応する出力信号とその1つ上位のビット信号以外の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、4個の抵抗を並列接続し、これらの抵抗の内の3個の抵抗にそれぞれ第2のデジタル制御スイッチ群を直列接続し、これらの第2のデジタル制御スイッチ群を前記カウンタのLSBに対応する出力信号とその1つ上位のビット信号でオン/オフ制御するようにした第2のデジタル制御可変抵抗器と、直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴としている。

【0090】請求項11に記載したように、請求項10のD/A変換器において、前記第1のデジタル制御可変抵抗器中の n 個の抵抗の抵抗値及び前記第2のデジタル制御可変抵抗器中の前記第2のデジタル制御スイッチ群が直列接続されていない抵抗の抵抗値は r でそれぞれ実質的に等しく、且つ第2のデジタル制御スイッチ群が直列接続された3個の抵抗の抵抗値はそれぞれ $3r$ 、 r 、 $r/3$ であることを特徴とする。

【0091】請求項12に記載したように、請求項10または11のD/A変換器において、前記第1のデジタル制御スイッチ群及び前記第2のデジタル制御スイッチ群はそれぞれ、Nチャネル型MOSトランジスタ単独、またはPチャネル型MOSトランジスタ単独で構成され、前記第3のデジタル制御スイッチは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタの組み合わせで構成されることを特徴とする。

【0092】更にまた、この発明の請求項13に記載した可変抵抗回路は、 n 個 (n は2以上の正の整数)の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタの上位ビット側の出力信号に従って選択的にオン/オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、 m 個 (m は2以上の正の整数)の抵抗を並列接続し、これらの抵抗の内の ($m-1$ 個)の抵抗にそれぞれ第2のデジタル制御スイ

21

ッチを直列接続し、この第2のデジタル制御スイッチを前記カウンタの下位ビット側の出力信号でオン／オフ制御するようにした第2のデジタル制御可変抵抗器と、直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴としている。

【0093】この発明の請求項14に記載したD/A変換器は、マルチビットのデジタル信号を1ビットの信号に変換し、この1ビットの信号を反転アンプ形式のアナログローパスフィルタを通してアナログ出力するようにして成り、前記マルチビットのデジタル信号が一定期間オール0であることを検出してカウンタを動作させ、このカウンタの計数値に基づいて、前記アナログローパスフィルタにおける反転アンプの帰還抵抗を段階的に小さくし、最終的にショートしてD/A変換出力を基準電位に固定する0データ検出ソフトミュート機能付きの1ビットD/A変換器において、前記帰還抵抗は、 n 個（ n は2以上の正の整数）の抵抗を直列接続し、得られた合成抵抗の一端と各抵抗の他端間にそれぞれ対応して第1のデジタル制御スイッチ群を設け、これら第1のデジタル制御スイッチ群がカウンタの上位ビット側の出力信号に従って選択的にオン／オフ制御されることにより、合成抵抗値が段階的に変化する第1のデジタル制御可変抵抗器と、 m 個（ m は2以上の正の整数）の抵抗を並列接続し、これらの抵抗の内の（ $m-1$ 個）の抵抗にそれぞれ第2のデジタル制御スイッチを直列接続し、この第2のデジタル制御スイッチを前記カウンタの下位ビット側の出力信号でオン／オフ制御するようにした第2のデジタル制御可変抵抗器と、直列接続された前記第1、第2のデジタル制御可変抵抗器の両端間に設けられ、前記カウンタが特定の値になった時にオン制御されて前記第1、第2のデジタル制御可変抵抗器の両端をショートする第3のデジタル制御スイッチとを備えたことを特徴としている。

【0094】請求項1のような構成によれば、1個の抵抗と第2のデジタル制御スイッチ及びその制御用の端子を付加することで、可変抵抗回路のステップ数を2倍にすることが可能である。これにより、回路規模の増大を抑制しつつ、等価的に抵抗値を変化させるステップ数を増やすことができる。

【0095】請求項2に示すように、各抵抗の抵抗値を各デジタル制御スイッチのオン抵抗の影響を含めて実質的に等しく設定すれば、例えば各抵抗の抵抗値を r とすると、可変抵抗回路の合成抵抗値を、 $0 \sim (n+1) \times r$ の範囲で、 $r/2$ のステップで可変にできる。

【0096】請求項3に示すように、デジタル制御スイッチを構成すれば、デジタル制御スイッチ部分の回路規模が半分以下になるので更に回路規模を小さくすること

22

が可能となる。

【0097】請求項4のような構成によれば、帰還抵抗及びデコーダの回路規模の増大を招くことなく、等価的に帰還抵抗の抵抗値を変化させるステップ数を増やすことができる。これによって、低コストで高性能なボツ音レスのソフトミュート機能付きの1ビットD/A変換器を構成できる。特に、IC回路では性能とコストの両面で非常に有利となる。

【0098】請求項5に示すように、各抵抗の抵抗値を各デジタル制御スイッチのオン抵抗の影響を含めて実質的に等しく設定すれば、例えば各抵抗の抵抗値を r とすると、可変抵抗回路の合成抵抗値を、 $0 \sim (n+1) \times r$ の範囲で、 $r/2$ のステップで可変にできる。

【0099】請求項6に示すように、デジタル制御スイッチを構成すれば、帰還抵抗のデジタル制御スイッチ部分の回路規模が半分以下になるので更に回路規模を小さくすることが可能となる。しかも、第3のデジタル制御スイッチは、ミュート中は継続的にオン状態となるが、例えばノイズが発生した場合にも非線形性によりDC電位が発生しないようにできる。

【0100】請求項7のような構成によれば、3個の抵抗と3個の第2のデジタル制御スイッチ群及びその制御端子を付加することで、可変抵抗回路のステップ数を4倍にすることが可能である。これにより、回路規模の増大を抑制しつつ、等価的に抵抗値を変化させるステップ数を増やすことができる。

【0101】請求項8に示すように、各抵抗の抵抗値を設定すれば、可変抵抗回路の合成抵抗値を、 $0 \sim (n+1) \times r$ の範囲で、 $r/4$ のステップで可変にできる。

【0102】請求項9に示すように、デジタル制御スイッチを構成すれば、帰還抵抗のデジタル制御スイッチ部分の回路規模が半分以下になるので更に回路規模を小さくすることが可能となる。

【0103】請求項10のような構成によれば、帰還抵抗及びデコーダの回路規模の増大を招くことなく、等価的に帰還抵抗の抵抗値を変化させるステップ数を4倍に増やすことができる。特に、IC回路では性能とコストの両面で非常に有利となる。

【0104】請求項11に示すように、帰還抵抗の合成抵抗値を、 $0 \sim (n+1) \times r$ の範囲で、 $r/4$ のステップで可変にできる。

【0105】請求項12に示すように、デジタル制御スイッチを構成すれば、帰還抵抗のデジタル制御スイッチ部分の回路規模が半分以下になるので更に回路規模を小さくすることが可能となる。また、ミュート中は継続的に帰還抵抗がショートされた状態となるが、例えばノイズが発生した場合にも非線形性によりDC電位が発生しないようにできる。

【0106】請求項13のような構成によれば、（ $m-1$ ）個の抵抗と（ $m-1$ ）個の第2のデジタル制御スイ

23

ッチ群及びその制御用の端子を付加することで、可変抵抗回路のステップ数を m 倍にすることが可能である。これにより、回路規模の増大を抑制しつつ、等価的に抵抗値を変化させるステップ数を増やすことができる。

【0107】請求項14のような構成によれば、帰還抵抗及びデコーダの回路規模の増大を招くことなく、等価的に帰還抵抗の抵抗値を変化させるステップ数を m 倍に増やすことができる。これによって、低コストで高性能なボツ音レスのソフトミュート機能付きの1ビットD/A変換器を構成できる。特に、IC回路では性能とコストの両面で非常に有利となる。

【0108】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0109】[第1の実施の形態] 図1は、この発明の第1の実施の形態に係る可変抵抗回路及びD/A変換器について説明するためのもので、0データ検出ミュート機能を有し、ボツ音を小さくできるDACの出力回路部の構成例を示している。マルチビットのデジタル信号は、 $\Sigma\Delta$ 変調器211及び0データ検出回路226に入力される。上記 $\Sigma\Delta$ 変調器211から出力される m レベルのデジタル出力は、 m レベルのDAC231に供給され、このDAC231からのアナログ出力は、抵抗232、218、219を介してオペアンプ222の反転入力端(−)に供給される。ここで、 $\Sigma\Delta$ 変調器211の出力レベルは、一般的に $m=1\sim 15$ 程度の値である。

【0110】上記抵抗232、218の接続点と接地点GND間には、キャパシタ220が接続され、上記抵抗218、219の接続点と接地点GND間にはキャパシタ221が接続されている。

【0111】また、上記オペアンプ222の非反転入力端(+)には、基準電位VREFが印加される。この基準電位VREFは、電源VDDと接地点GND間に直列接続された抵抗233、234と、これら抵抗233、234の接続点と接地点GND間に接続されたキャパシタ235とで生成される。

【0112】上記オペアンプ222の出力端と反転入力端(−)間には、キャパシタ224と可変抵抗回路236が並列接続されている。上記可変抵抗回路236は、上記オペアンプ222の帰還抵抗として働くもので、抵抗値が $0\sim (2^{n-1}-1)r$ の範囲で段階的に変化する。

【0113】一方、上記0データ検出回路226の出力信号は、 n ビットのアップ/ダウン(U/D)カウンタ237に供給される。このカウンタ237から出力される n ビットの計数値は、デコーダ238に供給される。このデコーダ238は、上記カウンタ237から出力される n ビットの計数値をデコードして 2^n のデコード信号を生成し、上記可変抵抗回路236に供給してその抵抗値を $0\sim (2^{n-1}-1)r$ に段階的に制御するもの

24

である。

【0114】また、図2は、上記図1に示した回路を更に具体的に示したもので、 $m=1$ 、 $n=5$ の場合の回路構成例である。この図2に示す回路では、マルチビットのデジタル信号は、 $\Sigma\Delta$ 変調器211及び0データ検出回路226に入力される。この $\Sigma\Delta$ 変調器211の1ビット出力信号NRZは、アンドゲート212の一方の入力端に供給されるとともに、反転されてナンドゲート213の一方の入力端に供給される。上記アンドゲート212の他方の入力端にはクロック信号CK1が供給され、上記ナンドゲート213の他方の入力端には上記クロック信号CK1が供給される。

【0115】上記アンドゲート212の出力信号RZは、インバータ214を介して抵抗215の一端に供給され、上記ナンドゲート213の出力信号RZnはインバータ216を介して抵抗217の一端に供給される。上記抵抗215、217の他端は抵抗218の一端に接続され、この抵抗218の他端は抵抗219の一端に接続される。上記抵抗218の一端と接地点GND間にはキャパシタ220が接続され、上記抵抗218の他端と接地点GND間にはキャパシタ221が接続される。

【0116】上記抵抗219の他端は、オペアンプ222の反転入力端(−)に接続され、このオペアンプ222の非反転入力端(+)には、基準電位VREFが印加される。基準電位VREFは、電源VDDと接地点GND間に直列接続された抵抗233、234と、これら抵抗233、234の接続点と接地点GND間に接続されたキャパシタ235とで生成される。

【0117】上記オペアンプ222の出力端と反転入力端(−)間には、キャパシタ223と可変抵抗回路236が並列接続され、出力信号PRZが反転入力端(−)に帰還されるようになっている。上記可変抵抗回路236は、抵抗値Rmtが $0\sim 15r$ の範囲で $r/2$ 単位で段階的に変化する。

【0118】上記0データ検出回路226の出力信号ZDは、5ビットのアップ/ダウン(U/D)カウンタ237の入力端子U/Diに供給される。このカウンタ237のクロック入力端子CKUDIには、クロック信号CK2が供給される。このカウンタ237の出力端子Q1~Q5から出力される5ビットの計数値は、デコーダ238に供給される。このデコーダ238は、上記カウンタ237の出力端子Q1~Q5から出力される5ビットの計数値をデコードしてスイッチ制御信号S1~S15、SLを生成して上記可変抵抗回路236に供給し、これらスイッチ制御信号S1~S15、SLのレベルに応じて、その抵抗値Rmtが $0\sim 15r$ となるように $r/2$ 単位で段階的に制御する。

【0119】図3は、上記図2に示した回路におけるカウンタ237とデコーダ238を抽出して示すブロック図である。上記カウンタ237は、クロック信号CK2

25

が入力されるクロック入力端CKUDi、0データ検出回路22の検出信号ZDが入力される端子U/Di、及び出力端子Q1~Q5を備えている。

【0120】上記デコーダ238には、上記5ビットのアップ/ダウンカウンタ237の出力信号Q1、Q2、Q3、Q4、Q5及びストロブ信号STROBEが供給され、可変抵抗回路236の抵抗値Rmtを段階的に制御するためのスイッチ制御信号S1~S15、SLを出力する。

【0121】図4は、上記図3に示した5ビットアップ/ダウン(U/D)カウンタ237の具体的な構成例を示す回路図である。このカウンタ237は、フリップフロップ244~252、インバータ253、254、ナンドゲート255、256、ノアゲート257、エクスクルーシブノアゲート258~262及びエクスクルーシブオアゲート263~266等を含んで構成されている。

【0122】入力端子CKUDiには、フリップフロップ244、245のクロック入力端CKが接続される。入力端子U/Diには、フリップフロップ251のデータ入力端Dが接続される。また、端子CKUDには、フリップフロップ244のデータ出力端Q、フリップフロップ245のデータ入力端D、フリップフロップ246、251、252のクロック入力端CKにそれぞれ接続される。この際、上記フリップフロップ251、252のクロック入力端CKには、端子CKUDの信号が反転して供給される。この端子CKUDの信号は、上記入力端子CKUDiに供給されるクロック信号の4倍の周期のクロック信号である。

【0123】上記フリップフロップ244のデータ入力端Dには、上記インバータ253の出力端及びナンドゲート256の第1の入力端が接続されている。上記フリップフロップ245のデータ出力端Qには、上記インバータ253の入力端が接続され、信号HOLDが供給される。

【0124】上記ナンドゲート256の出力端には、エクスクルーシブノアゲート258~262の一方の入力端がそれぞれ接続され、信号HOLD'が供給される。上記エクスクルーシブノアゲート258~262の出力端には、フリップフロップ246~250のデータ入力端Dがそれぞれ接続される。

【0125】上記フリップフロップ246の出力端Qには、エクスクルーシブノアゲート258の他方の入力端、出力端子Q1、ナンドゲート255の第1の入力端、ノアゲート257の第1の入力端、及びエクスクルーシブオアゲート263の一方の入力端がそれぞれ接続される。

【0126】上記フリップフロップ247の出力端Qには、エクスクルーシブノアゲート259の他方の入力端、出力端子Q2、ナンドゲート255の第2の入力

26

端、ノアゲート257の第2の入力端、及びエクスクルーシブオアゲート264の一方の入力端がそれぞれ接続される。このフリップフロップ247のクロック入力端CKには、上記エクスクルーシブオアゲート263の出力端が接続され、信号Q1'が供給される。

【0127】上記フリップフロップ248の出力端Qには、エクスクルーシブノアゲート260の他方の入力端、出力端子Q3、ナンドゲート255の第3の入力端、ノアゲート257の第3の入力端、及びエクスクルーシブオアゲート265の一方の入力端がそれぞれ接続される。このフリップフロップ248のクロック入力端CKには、上記エクスクルーシブオアゲート264の出力端が接続され、信号Q2'が供給される。

【0128】上記フリップフロップ249の出力端Qには、エクスクルーシブノアゲート261の他方の入力端、出力端子Q4、ナンドゲート255の第4の入力端、ノアゲート257の第4の入力端、及びエクスクルーシブオアゲート266の一方の入力端がそれぞれ接続される。このフリップフロップ249のクロック入力端CKには、上記エクスクルーシブオアゲート265の出力端が接続され、信号Q3'が供給される。

【0129】更に、上記フリップフロップ250の出力端Qには、エクスクルーシブノアゲート262の他方の入力端、出力端子Q5、ナンドゲート255の第5の入力端、及びノアゲート257の第5の入力端がそれぞれ接続される。このフリップフロップ250のクロック入力端CKには、上記エクスクルーシブオアゲート266の出力端が接続され、信号Q4'が供給される。

【0130】上記フリップフロップ251のデータ出力端Qには、フリップフロップ252のデータ入力端Dが接続され、このフリップフロップ252のデータ出力端Qには、ナンドゲート255の第6の入力端、ノアゲート257の第6の入力端、及びエクスクルーシブオアゲート263~266の他方の入力端がそれぞれ接続され、信号U/Dが供給される。

【0131】更に、上記ナンドゲート255の出力端はナンドゲート256の第2の入力端に接続されて、信号ALL1/が供給される。また、上記ノアゲート257の出力端にはインバータ254の入力端が接続され、このインバータ254の出力端がナンドゲート256の第3の入力端に接続され、信号ALL0が供給されるようになっている。

【0132】上記カウンタ237は、図36に示したカウンタ37が1ビット拡張されたものであり、エクスクルーシブオアゲート、エクスクルーシブノアゲート、フリップフロップがそれぞれ1個ずつ増加し、5入力のナンドゲート54とノアゲート56に代えて、6入力のナンドゲート255とノアゲート257を設けたものである。

【0133】図5は、上記図3に示したデコーダ238

27

の回路構成例を示している。このデコーダ238は、アンドゲート271～278、インバータ269、279～286、ナンドゲート287～301及びシフトレジスタ270、302～316を含んで構成されている。

【0134】アップ/ダウン(U/D)カウンタ237のカウンタ出力Q1は、インバータ269の入力端に供給される。カウンタ出力Q2は、インバータ279の入力端に供給されるとともに、反転されてアンドゲート271、273の一方の入力端に供給される。カウンタ出力Q3は、インバータ280の入力端に供給されるとともに、反転されて上記アンドゲート271の他方の入力端及び反転されてアンドゲート272の一方の入力端に供給される。カウンタ出力Q4は、インバータ281の入力端に供給されるとともに、反転されてアンドゲート275、277の一方の入力端に供給される。更に、カウンタ出力Q5は、インバータ282の入力端に供給されるとともに、反転されてアンドゲート275の他方の入力端及び反転されてアンドゲート276の一方の入力端に供給される。

【0135】上記インバータ269の出力は、反転されてシフトレジスタ270のデータ入力端Dに供給される。上記インバータ279の出力信号は、反転されてアンドゲート272の他方の入力端に供給されるとともに、反転されてアンドゲート274の一方の入力端に供給される。上記インバータ280の出力信号は、反転されてアンドゲート273の他方の入力端に供給されるとともに、反転されてアンドゲート274の他方の入力端に供給される。上記インバータ281の出力信号は、反転されてアンドゲート276の他方の入力端に供給されるとともに、反転されてアンドゲート278の一方の入力端に供給される。上記インバータ282の出力信号は、反転されて上記アンドゲート277、278の他方の入力端に供給される。

【0136】上記各カウンタ出力Q1、Q2、Q3、Q4、Q5をそれぞれL、A、B、C、Dとおくと、アンドゲート271の論理出力は $A/\ast B/\ast$ 、アンドゲート272の論理出力は $A\ast B/\ast$ 、アンドゲート273の論理出力は $A/\ast B$ 、アンドゲート274の論理出力は $A\ast B$ 、アンドゲート275の論理出力は $C/\ast D/\ast$ 、アンドゲート276の論理出力は $C\ast D/\ast$ 、アンドゲート277の論理出力は $C/\ast D$ 、アンドゲート278の論理出力は $C\ast D$ となる。

【0137】上記アンドゲート271の出力信号はナンドゲート290、294、298の一方の入力端にそれぞれ供給され、上記アンドゲート272の出力信号はナンドゲート287、291、295、299の一方の入力端に供給される。また、上記アンドゲート273の出力信号はナンドゲート288、292、296、300の一方の入力端に供給され、上記アンドゲート274の出力信号はナンドゲート289、293、297、30

28

1の一方の入力端に供給され、上記アンドゲート275の出力信号は上記ナンドゲート287～289の他方の入力端に供給される。上記アンドゲート276の出力信号はナンドゲート290～293の他方の入力端に供給され、上記アンドゲート277の出力信号はナンドゲート294～297の他方の入力端に接続される。更に、上記アンドゲート278の出力信号はナンドゲート298～301の他方の入力端に供給される。上記各ナンドゲート287～301の出力信号は、シフトレジスタ302～316のデータ入力端Dにそれぞれ反転して供給される。

【0138】上記各シフトレジスタ270、303、305、307、309、311、313、315のクロック入力端CKには、ストロブ信号STROBEがインバータ283～285を介して供給され、上記各シフトレジスタ302、304、306、308、310、312、314、316のクロック入力端CKには、ストロブ信号STROBEがインバータ283、284、286を介して供給される。そして、上記各シフトレジスタ270、302～316の出力端Qからスイッチ制御信号SL、S1～S15を出力するようになっている。

【0139】このように、上記デコーダ238は、図37に示したデコーダ38に、インバータ269とシフトレジスタ270をそれぞれ1個ずつ付加し、入力端子と出力端子をそれぞれ1個ずつ増加させたものである。

【0140】図6は、上記図5に示したデコーダ238の動作について説明するための真理値を示す図であり、上記図5に示した回路の論理動作をまとめて示している。入力信号L、A、B、C、Dのレベルの組み合わせに応じてスイッチ制御信号S1～S15が選択的に“H”レベルになる。この際、スイッチ制御信号SLは、上記各スイッチ制御信号S1～S15が“H”レベルの期間に、“L”レベルと“H”レベルを交互に繰り返すようになっている。これによって、可変抵抗回路236の抵抗値Rmtは、0～15rの範囲でr/2の単位で段階的に変化することになる。

【0141】図7は、上記図2に示した回路における可変抵抗回路236（帰還抵抗）の構成例を示している。この可変抵抗回路236は、各々の抵抗値がrの抵抗R21～R36とアナログスイッチ回路SW21～SW36（SW21～SW34：第1のデジタル制御スイッチ群、SW35：第2のデジタル制御スイッチ、SW36：第3のデジタル制御スイッチ）を含んで構成されている。上記抵抗R35、R21～R34は、オペアンプ222の反転入力端(－)と出力端間に直列接続される。アナログスイッチ回路SW21の電流通路は、抵抗R35とR21との接続点と抵抗R21とR22との接続点に接続される。また、アナログスイッチ回路SW22の電流通路は、抵抗R35とR21との接続点と抵抗

29

R22とR23との接続点に接続される。以下同様に、アナログスイッチ回路SW23～SW33の電流通路は、抵抗R35とR21との接続点と抵抗R23～R34との接続点に接続される。アナログスイッチ回路SW34の電流通路は、抵抗R35とR21との接続点と端子OUTとの間に接続される。更に、アナログスイッチ回路SW35の電流通路は、端子INと端子OUTとの間に接続される。

【0142】上記各アナログスイッチ回路SW21～SW35はそれぞれ、上記デコーダ238から出力されるスイッチ制御信号S1～S15が供給されて選択的にオン/オフ制御される。オペアンプ222の帰還抵抗が抵抗値rの単位で0～15rに段階的に変化するようになっている。

【0143】更に、端子INと抵抗R35とR21との接続点間には、抵抗R36とアナログスイッチ回路SW36が直列接続される。そして、上記アナログスイッチ回路SW36は、上記デコーダ238から出力されるスイッチ制御信号SLが供給されて選択的にオン/オフ制御されるようになっている。

【0144】このスイッチ制御信号SLは、カウンタ237のLSB（最下位ビット）に対応する信号であり、カウンタの計数値が偶数の時は、アナログスイッチ回路SW36がオフ状態となって抵抗R36が切り離される。一方、奇数の時はアナログスイッチ回路SW36がオン状態となって抵抗R36が抵抗R35に並列接続される。よって、抵抗値がr/2の抵抗が端子INとアナログスイッチ回路SW21～SW34の共通接続点間に接続されたのと等価になる。

【0145】これにより、カウンタ37の計数値が0, 1, 2, …, 28, 29, 30, 31と変化すると、帰還抵抗の抵抗値は15r, 14.5r, 14r, …, 0.5r, 0.0と変化し、帰還抵抗の回路規模としては抵抗が1個、アナログスイッチ回路が1個、端子が1個それぞれ増えたのみであるが、ステップ数は図39(a)に示した回路に比較してほぼ2倍になっていることが分かる。

【0146】図8及び図9はそれぞれ、上記図2に示した回路の動作について説明するためのタイミングチャートである。ここでは、主に0データ検出ミュート回路226と5ビットアップ/ダウン(U/D)カウンタ237の動作に着目している。

【0147】アップ/ダウンカウンタ237の計数値が0の状態では、可変抵抗回路236の抵抗値Rmtは15rで通常状態である。

【0148】DACへの入力が一定期間0データであると、0データ検出回路226の出力信号ZDが“H”レベル、すなわちアップ/ダウンカウンタ237の入力端子U/Diが“H”レベルとなる。入力端子U/Diが“H”レベルとなると、このカウンタ237はアップカ

30

ウント動作をスタートし、カウンタ237の計数値が1, 2, 3, …とカウントアップして行く。これに従って、デコーダ238のスイッチ制御信号S1, S2, S3, …が順次“H”レベルとなり、それに対応したアナログスイッチ回路SW21, SW22, SW23, …が順次オンする。

【0149】この際、アナログスイッチ回路SW36は、カウンタ237の計数値が偶数か奇数かに応じてオン/オフを繰り返している。よって、各アナログスイッチ回路SW21, SW22, SW23, …がオン状態にある期間に、並列接続された抵抗R35, R36による合成抵抗値がrとr/2を交互に繰り返す。

【0150】よって、可変抵抗回路236の抵抗値Rmtは15r, 14.5r, 14r, 13.5r, 13r, …と小さくなって行く。そして、最終的にスイッチ制御信号S15が“H”レベルとなり、可変抵抗回路236はショート状態(カウンタの状態は30, 31)となりミュートオンとなる。

【0151】一方、DAC入力が0データでなくなると、信号ZDは瞬時に“L”レベルとなり、アップ/ダウンカウンタ237の入力端子U/Diが“L”レベルとなる。入力端子U/Diが“L”レベルとなると、アップ/ダウンカウンタ237はダウンカウント動作をスタートし、カウンタの計数値が30, 29, 28, …と下がって行く。これに従って、デコーダ238から出力されるスイッチ制御信号S14, S13, S12, …が順次“H”レベルとなり、それに対応したアナログスイッチ回路SW34, SW33, SW32, …がオンする。この時にもアナログスイッチ回路SW36は、カウンタ237の計数値が偶数か奇数かに応じてオン/オフを繰り返している。よって、各アナログスイッチ回路SW21, SW22, SW23, …がオン状態にある期間に、並列接続された抵抗R35, R36による合成抵抗値がrとr/2を交互に繰り返す。

【0152】これによって、可変抵抗回路236の抵抗値Rmtは0.5r, 1.0r, 1.5r, 2.0r, 2.5r, …と大きくなって行く。そして、最終的にカウンタ237の計数値は0となり、全てのアナログスイッチ回路SW21～SW36がオフ状態となって、可変抵抗回路236の抵抗値Rmtは通常時の15.0rとなりミュートオフとなる。

【0153】なお、図9の期間T1に示すように、0データの連続回数が少なく、カウンタ37の計数値が31に達する前にDAC入力が0データでなくなると、その時点からダウンカウント動作となり、フェードアウトの状態からフェードインになるので、ミュートオンにはならない。

【0154】また、期間T2に示すように、0データの連続回数が少なく、カウンタ37の計数値が31に達する前にDAC入力が0データでなくなり、ダウンカウ

31

ト動作となった後、再び0データが検出されると、フェードアウトの状態からフェードイン、フェードアウトと繰り返す。

【0155】上記のような構成によれば、可変抵抗回路（帰還抵抗）236、カウンタ237及びデコーダ238の回路規模の増大を最小限に抑制しつつ、等価的に帰還抵抗の抵抗値を変化させるステップ数を増やすことができる。これによって、低コストで高性能なボツ音レスのミュート回路を構成できる。

【0156】〔第2の実施の形態〕上述した第1の実施の形態では、帰還抵抗（可変抵抗回路）の抵抗値を $r/2$ の単位で $0 \sim 15r$ に変化させてミュートオン／オフする場合について説明した。これに対し、この第2の実施の形態では、抵抗値を $r/4$ の単位で変化させるものである。

【0157】この第2の実施の形態におけるDACの全体回路は図2と同様である。

【0158】図10は、この発明の第2の実施の形態に係るD/A変換器について説明するためのもので、カウンタ及びデコーダを抽出して示している。カウンタ337は6ビット構成で、クロック入力端子CKUDI、0データの検出信号ZDが供給される入力端子U/Di、及び出力端子Q1～Q6を備えている。

【0159】デコーダ338には、上記6ビットのアップ／ダウカウンタ337の出力信号Q1、Q2、Q3、Q4、Q5、Q6及びストロブ信号STROBEが供給され、可変抵抗回路336の抵抗値 R_{mt} を段階的に制御するためのスイッチ制御信号S1～S15、SL1、SL2、SL3を出力する。

【0160】図11は、上記図10に示したカウンタ337の構成例を示す回路図である。図11に示す回路は、図4に示した回路を5ビットから6ビットに拡張したものであり、基本的には同様な回路構成で且つ同様な動作を行うので、同一構成部に同じ符号を付してその詳細な説明は省略する。

【0161】すなわち、カウンタ337は、上記図4に示したカウンタ237にエクスクルーシブオアゲート350、エクスクルーシブノアゲート351、フリップフロップ352をそれぞれ付加するとともに、ナンドゲート255'とノアゲート257'をそれぞれ7入力にしたものである。

【0162】そして、上記エクスクルーシブノアゲート350の一方の入力端は、ナンドゲート256の出力端に接続されて信号HOLD'が供給され、出力端はフリップフロップ352のデータ入力端Dに接続される。このフリップフロップ352の出力端Qには、エクスクルーシブノアゲート350の他方の入力端、出力端子Q6、ナンドゲート255'の第7の入力端、及びノアゲート257'の第7の入力端がそれぞれ接続される。上記エクスクルーシブオアゲート351の一方の入力端に

32

は、フリップフロップ250の出力端Qが接続され、他方の入力端には上記フリップフロップ252の出力端Qが接続されて信号U/Dが供給される。このエクスクルーシブオアゲート351の出力端は、上記フリップフロップ352のクロック入力端CKに接続され、信号Q5'を供給する。

【0163】図12は、上記図10に示したデコーダ338の具体的な構成例を示す回路図である。このデコーダ338は、上記図5に示したデコーダ238におけるインバータ269とフリップフロップ270に代えて、インバータ361～364、アンドゲート365、366、ナンドゲート367、及びフリップフロップ368、369、370を設けたものである。他の回路部は実質的に同様な回路構成であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0164】カウンタ337の出力端子Q1には、インバータ361の入力端、アンドゲート366の一方の入力端、及びナンドゲート367の一方の入力端がそれぞれ接続され、信号L1が供給される。この際、上記アンドゲート366には、上記信号L1が反転して供給される。また、上記カウンタ337の出力端子Q2には、アンドゲート365の一方の入力端、インバータ362の入力端、及びナンドゲート367の他方の入力端がそれぞれ接続され、信号L2が供給される。ここで、上記アンドゲート365には、上記信号L2が反転して供給される。

【0165】上記インバータ361の出力端は上記アンドゲート365の他方の入力端に接続され、上記インバータ362の出力端は上記アンドゲート366の他方の入力端に接続される。上記各インバータ361、362の出力信号は、それぞれ反転してアンドゲート365、366に供給される。上記アンドゲート365の出力端はインバータ363の入力端に接続され、上記アンドゲート366の出力端はインバータ364の入力端に接続される。これらインバータ363、364の出力端はそれぞれフリップフロップ368、369のデータ入力端Dに接続され、各インバータ363、364の出力信号は反転して入力される。上記ナンドゲート367の出力端は、フリップフロップ370のデータ入力端Dに接続され、このナンドゲート367の出力信号は反転して入力される。

【0166】上記各フリップフロップ368、370のクロック入力端CKには、インバータ285の出力信号が供給され、上記フリップフロップ369のクロック入力端CKには、インバータ286の出力信号が供給される。そして、上記各フリップフロップ368、369、370のデータ出力端Qから信号SL1、SL2、SL3が出力される。

【0167】図13は、図12に示したデコーダ338の動作について説明するための真理値を示す図である。

33

入力信号L1, L2, A, B, C, Dのレベルの組み合わせに応じてスイッチ制御信号S1~S15が選択的に“H”レベルになる。この際、スイッチ制御信号SL1, SL2, SL3は、上記各スイッチ制御信号S1~S15が“H”レベルの期間に、全てが“L”レベルと、いずれか1つが“H”レベルの4つの状態を順次取るようになっている。これによって、可変抵抗回路236の抵抗値Rmtは、それぞれ0~15rの範囲でr/4の単位で段階的に変化することになる。

【0168】図14(a), (b)はそれぞれ、帰還抵抗(可変抵抗回路)の他の構成例を示しており、(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図である。図14(b)に示す如く、抵抗R21~R34及びアナログスイッチ回路SW21~SW35(SW21~SW34:第1のデジタル制御スイッチ群、SW35:第3のデジタル制御スイッチ)で構成された回路部は図7に示した回路と同じ構成である。この可変抵抗回路336では、端子INと上記アナログスイッチ回路SW21~SW34の共通接続点との間に、各々の抵抗値がr, 3r, r, r/3の抵抗R37~R40が並列接続され、抵抗R37~R39と上記アナログスイッチ回路SW21~SW34の共通接続点との間に、それぞれアナログスイッチSW38~SW40(第2のデジタル制御スイッチ群)が介在されている。これらアナログスイッチ回路SW38~SW40はそれぞれ、スイッチ制御信号SL1, SL2, SL3で選択的にオン/オフ制御される。

【0169】上記スイッチ制御信号SL1, SL2, SL3は、カウンタ337のLSBとその1つ上位のビット信号に基づいて生成されている。端子INとスイッチ制御信号S1~S14で制御されるアナログスイッチ回路SW21~SW34の共通接続点との間の抵抗値は、カウンタ337のLSBとその1つ上位のビットが“00”の時には、アナログスイッチ回路SW38~SW40が全てオフ状態であるのでrとなる。また、“10”の時には、アナログスイッチ回路SW38がオン状態、アナログスイッチ回路SW39, SW40がオフ状態となるので3r/4となる。“01”の時には、アナログスイッチ回路SW39がオン状態、アナログスイッチ回路SW38, SW40がオフ状態となるのでr/2となる。更に、“11”の時には、アナログスイッチ回路SW40がオン状態、アナログスイッチ回路SW38, SW39がオフ状態となるのでr/4となる。

【0170】これによりカウンタ337の計数値が0, 1, 2, ..., 58, 59, 60, 61, 62, 63と変化すると、帰還抵抗値は15r, 14.75r, 14.5r, ..., 0.5r, 0.25r, 0と変化し、ステップ数は図39(a)に示した回路に比較してほぼ4倍になっていることが分かる。ここで、可変抵抗回路(帰還抵抗)336の回路規模としては、抵抗とアナログスイ

34

ッチ回路がそれぞれ3個ずつ増え、端子が3個増えたのみである。

【0171】[第3の実施の形態]図15(a),

(b)はそれぞれ、この発明の第3の実施の形態に係る可変抵抗回路及びD/A変換器について説明するための、帰還抵抗(可変抵抗回路)の更に他の構成例を示しており、(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図である。DACの全体回路は図2と同様である。この回路は、図7に示した回路におけるアナログスイッチ回路SW21~SW34, SW36に代えて、それぞれNチャネル型MOSトランジスタTr1~Tr15(Tr1~Tr14:第1のデジタル制御スイッチ群、Tr15:第2のデジタル制御スイッチ)を設け、ゲートにスイッチ制御信号S1~S14, SLを供給してオン/オフ制御するものである。帰還抵抗を0にするためのアナログスイッチ回路SW35(第3のデジタル制御スイッチ)は、図39(c)または図45(b)に示したようなPチャネル型MOSトランジスタとNチャネル型MOSトランジスタを組み合わせた回路を用いる。

【0172】周知のように、MOSトランジスタのオン抵抗は非線形で、通常はこのような使い方をすると出力信号に歪みを発生する。しかし、本回路ではDACの入力が0データであるときのみスイッチがオンすること、そしてオン時間が非常に短時間で過渡的であることを考慮し、このような単純化したスイッチを使用している。これによって、可変抵抗回路の回路規模を小さくすることができる。

【0173】アナログスイッチ回路SW35は、過渡的にオンするのではなく、ミュート中は継続的にオン状態となるため、例えばノイズが発生した場合に非線形性によりDC電位が発生しないようにするためにPチャネル型MOSトランジスタとNチャネル型MOSトランジスタを組み合わせた回路を用いている。

【0174】なお、上記Nチャネル型MOSトランジスタTr1~Tr15の代わりにPチャネル型MOSトランジスタを設けても良いのは勿論であり、この場合にはゲートにスイッチ制御信号S1~S14, SLをそれぞれ反転して供給すれば良い。

【0175】[第4の実施の形態]図16(a),

(b)はそれぞれ、この発明の第4の実施の形態に係る可変抵抗回路及びD/A変換器について説明するための、帰還抵抗(可変抵抗回路)の別の構成例を示しており、(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図である。DACの全体回路は図2と同様である。この回路は、図14に示した回路におけるアナログスイッチ回路SW21~SW34, SW38, SW39, SW40に代えて、それぞれNチャネル型MOSトランジスタTr1~Tr14, Tr16, Tr17, Tr18(Tr1~Tr14:第1のデジタル制御

スイッチ群、 $Tr16$ 、 $Tr17$ 、 $Tr18$ ：第2のデジタル制御スイッチ群）を設け、ゲートにスイッチ制御信号 $S1 \sim S14$ 、 $SL1$ 、 $SL2$ 、 $SL3$ を供給してオン／オフ制御するものである。帰還抵抗を0にするためのアナログスイッチ回路 $SW35$ （第3のデジタル制御スイッチ）は、図39（c）または図45（b）に示したようなPチャネル型MOSトランジスタとNチャネル型MOSトランジスタを組み合わせた回路を用いる。

【0176】上述したように、MOSトランジスタのオン抵抗は非線形で、通常はこのような使い方をすると出力信号に歪みを発生するが、本回路ではDACの入力が0データであるときのみスイッチがオンすること、そしてオン時間が非常に短時間で過渡的であることを考慮し、このような単純化したスイッチを使用している。これによって、可変抵抗回路の回路規模を小さくすることができる。

【0177】また、図15に示した回路と同様に、アナログスイッチ回路 $SW35$ は、過渡的にオンするのではなく、ミュート中は継続的にオン状態となるため、例えばノイズが発生した場合に非線形性によりDC電位が発生しないようにするためにPチャネル型MOSトランジスタとNチャネル型MOSトランジスタを組み合わせた回路を用いている。

【0178】なお、この図16に示した回路においても、上記Nチャネル型MOSトランジスタ $Tr1 \sim Tr14$ 、 $Tr16$ 、 $Tr17$ 、 $Tr18$ の代わりにPチャネル型MOSトランジスタを設けても良いのは勿論であり、この場合にはゲートにスイッチ制御信号 $S1 \sim S14$ 、 $SL1$ 、 $SL2$ 、 $SL3$ をそれぞれ反転して供給すれば良い。

【0179】〔第5の実施の形態〕上述した第1乃至第4の実施の形態における可変抵抗回路及びD/A変換器では、アナログスイッチ回路を構成しているMOSトランジスタのゲートとソースまたはドレインとの間に寄生容量が存在し、ゲートにスイッチ制御信号が入力されると、この寄生容量を通してオペアンプの反転入力端

（-）にスイッチ制御信号の変化時のノイズが注入され、クリックノイズが発生する可能性がある。

【0180】そこで、この発明の第5の実施の形態に係るD/A変換器は、ダミーのアナログスイッチ回路を設けてオン／オフ制御することにより、スイッチ制御信号の変化時のノイズを相殺して上記クリックノイズを抑制するようにしている。

【0181】図17は、この発明の第5の実施の形態に係るD/A変換器について説明するためのもので、カウンタとデコーダを抽出して示すブロック図である。カウンタ437は、クロック入力端子 $CKUDI$ 、0データの検出信号 ZD が供給される入力端子 U/Di 、及び出力端子 $Q1 \sim Q5$ を備えている。このカウンタ437は、上記図4に示した5ビットアップ／ダウン（U／

D）カウンタ237と実質的に同じ構成になっている。

【0182】デコーダ438には、上記5ビットのアップ／ダウンカウンタ437の出力信号 $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ 、 $Q5$ 及びストロブ信号 $STROBE$ が供給される。このデコーダ438は、クリックノイズの発生を抑制しながら可変抵抗回路436の抵抗値 Rmt を段階的に制御するためのスイッチ制御信号 $S0 \sim S15$ 、 SL 、 SLn （ SLn は SL の反転信号）を出力する。

【0183】図18は、上記図17に示した回路におけるデコーダ438の具体的な構成例を示す回路図である。このデコーダ438は、上記図5に示した回路に加えて、破線317で囲んで示すように、インバータ318、ナンドゲート319、及びフリップフロップ320、321を設けたものである。他の回路部は実質的に同様な回路構成であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0184】すなわち、上記インバータ318の入力端はインバータ269の出力端に接続され、出力端はフリップフロップ320のデータ入力端Dに接続される。ここで、上記インバータ318の出力信号は、反転されてフリップフロップ320に供給される。また、上記ナンドゲート319の一方の入力端にはアンドゲート271の出力端が接続され、他方の入力端にはアンドゲート275の出力端が接続され、出力端はフリップフロップ321のデータ入力端Dに接続される。この際、上記ナンドゲート319の出力信号は、反転されてフリップフロップ321に供給される。そして、上記フリップフロップ321のクロック入力端CKにはインバータ285の出力信号が供給され、上記フリップフロップ320のクロック入力端CKにはインバータ286の出力信号が供給される。そして、フリップフロップ320、321のデータ出力端Qからスイッチ制御信号 SLn と $S0$ がそれぞれ出力される。

【0185】図19は、図17に示したデコーダ438の動作について説明するためのもので、真理値を示す図である。入力信号 L 、 A 、 B 、 C 、 D のレベルの組み合わせに応じてスイッチ制御信号 $S0 \sim S15$ が選択的に“H”レベルになる。この際、スイッチ制御信号 SL は、上記各スイッチ制御信号 $S0 \sim S15$ が“H”レベルの期間に、“L”レベルと“H”レベルの状態を交互に繰り返すようになっている。これによって、可変抵抗回路236の抵抗値 Rmt は、それぞれ $0 \sim 15r$ の範囲で $r/2$ の単位で段階的に変化することになる。

【0186】図20（a）、（b）はそれぞれ、帰還抵抗（可変抵抗回路）436の構成例を示しており、

（a）図はシンボル図、（b）図は具体的な回路構成を示す回路図である。DACの全体回路は図2と同様である。この可変抵抗回路436は、各々の抵抗値が r の抵抗 $R41 \sim R56$ とアナログスイッチ回路 $SW41 \sim SW58$ を含んで構成されている。

37

【0187】上記抵抗R55、R41～R54は、オペ
アンプ222の反転入力端(－)と出力端間に直列接続
される。アナログスイッチ回路SW41の電流通路は、
抵抗R55とR41との接続点と抵抗R41とR42と
との接続点間に接続される。また、アナログスイッチ回路
SW42の電流通路は、抵抗R55とR41との接続点
と抵抗R42とR43との接続点間に接続される。以下
同様に、アナログスイッチ回路SW43～SW53の電
流通路は、抵抗R55とR41との接続点と抵抗R43
～R54との接続点間に接続される。アナログスイッ
回路SW54の電流通路は、抵抗R55とR41との接
続点と端子OUTとの間に接続される。更に、アナログ
スイッチ回路SW55の電流通路は、端子INと端子O
UTとの間に接続される。上記各アナログスイッチ回路
SW41～SW55はそれぞれ、上記デコーダ438か
ら出力されるスイッチ制御信号S1～S15が供給され
て選択的にオン／オフ制御される。

【0188】また、端子INと抵抗R55とR41との
接続点間には、抵抗R56とアナログスイッチ回路SW
56が直列接続される。そして、上記アナログスイッ
回路SW56は、上記デコーダ438から出力されるス
イッチ制御信号SLが供給されて選択的にオン／オフ制
御されるようになってい。このスイッチ制御信号SL
は、カウンタ437のLSBに対応する信号であり、カ
ウンタの計数値が偶数の時は、アナログスイッチ回路S
W56がオフ状態となって抵抗R56が切り離される。
一方、奇数の時はアナログスイッチ回路SW56がオン
状態となって抵抗R56が抵抗R55に並列接続され
る。よって、抵抗値が $r/2$ の抵抗が端子INとアナロ
グスイッチ回路SW41～SW54の共通接続点間に接
続されたのと等価になる。これによって、オペデジ
222の帰還抵抗が抵抗値 $r/2$ の単位で0～15rに段
階的に変化するようになってい。

【0189】更に、上記抵抗R55とR41との接続点
には、アナログスイッチ回路SW57、SW58が接続
されている。これらアナログスイッチ回路SW57、S
W58は、スイッチ制御信号のレベルの変化を互いに打
ち消すためのダミーであり、クリックノイズを抑制す
るためのものである。アナログスイッチ回路SW57はス
イッチ制御信号SLnでオン／オフ制御され、アナログ
スイッチ回路SW58はスイッチ制御信号S0でオン／
オフ制御される。

【0190】上記アナログスイッチ回路SW57は、上
記アナログスイッチ回路SW56がオフ状態からオン状
態に反転するときにオン状態からオフ状態に反転し、オ
ン状態からオフ状態に反転するときにオフ状態からオン
状態に反転するものである。また、上記アナログスイッ
回路SW58は、上記アナログスイッチ回路SW41
がオン状態からオフ状態に反転するときにオフ状態から
オン状態に反転し、オフ状態からオン状態に反転すると

38

きにオン状態からオフ状態に反転するものである。

【0191】図21及び図22はそれぞれ、可変抵抗回
路436の動作を説明するためのタイミングチャートで
ある。図21はダミーのアナログスイッチ回路SW5
7、SW58を設けない場合のタイミングチャートであ
り、図22は設けた場合のタイミングチャートである。

【0192】図21に示すように、スイッチ制御信号S
15が“H”レベルから“L”レベルに変化してミュ
ートオンからミュートオフに変化し始めるとき、換言すれ
ばアナログスイッチ回路SW55がオン状態からオフ状
態に反転するとき、スイッチ制御信号S14が“L”レ
ベルから“H”レベルに変化してアナログスイッチ回路
SW54がオフ状態からオン状態に反転する。

【0193】また、スイッチ制御信号S14が“H”レ
ベルから“L”レベルに変化してアナログスイッチ回路
SW54がオン状態からオフ状態に反転するとき、スイ
ッチ制御信号S13が“L”レベルから“H”レベルに
変化してアナログスイッチ回路SW53がオフ状態から
オン状態に反転する。

【0194】このように、図21に破線で囲んで示すよ
うに、スイッチ制御信号S15～S2のいずれか1つが
“L”レベルから“H”レベルに変化するとき、他のい
ずれか1つが“H”レベルから“L”レベルに変化する
ので、スイッチ制御信号S15～S2のレベルの変化を
互いに打ち消すことができクリックノイズは発生しな
い。

【0195】ミュートオンからミュートオフに移行す
るときだけでなく、ミュートオフからミュートオンに移
行する場合も同様である。

【0196】しかしながら、スイッチ制御信号SLの
“H”レベルから“L”レベル、あるいは“L”レベル
から“H”レベルへの変化によるアナログスイッチ回路
SW56のオン状態からオフ状態あるいはオフ状態から
オン状態に反転するときに発生するレベルの変化を打ち
消すことができない。また、スイッチ制御信号S1が
“H”レベルから“L”レベルに変化してアナログスイ
ッチ回路SW41がオン状態からオフ状態に反転する
とき、及びスイッチ制御信号S1が“L”レベルから
“H”レベルに変化してアナログスイッチ回路SW41
がオフ状態からオン状態に反転するときにもレベルの変
化を互いに打ち消すことができない。このため、クリッ
クノイズが発生する。

【0197】一方、図20に示したように、ダミーのア
ナログスイッチ回路SW57、SW58を設ければ、図
22のタイミングチャートに示すように、スイッチ制御
信号SLが“H”レベルから“L”レベル、あるいは
“L”レベルから“H”レベルに変化して、アナログス
イッチ回路SW56がオン状態からオフ状態あるいはオ
フ状態からオン状態に反転するときには、スイッチ制御
信号SLnが“L”レベルから“H”レベル、あるいは

“H”レベルから“L”レベルに変化してダミーのアナログスイッチ回路SW57がオフ状態からオン状態あるいはオン状態からオフ状態に反転するのでクリックノイズを互いに打ち消すことができる。

【0198】また、スイッチ制御信号S1が“H”レベルから“L”レベルに変化してアナログスイッチ回路SW41がオン状態からオフ状態に反転するときには、スイッチ制御信号S0が“L”レベルから“H”レベルに変化してダミーのアナログスイッチ回路SW58がオフ状態からオン状態に反転する。更に、スイッチ制御信号S1が“L”レベルから“H”レベルに変化してアナログスイッチ回路SW41がオフ状態からオン状態に反転するときにもスイッチ制御信号S0が“H”レベルから“L”レベルに変化してダミーのアナログスイッチ回路SW58がオン状態からオフ状態に反転するので、全てのスイッチ制御信号のレベルの変化を互いに打ち消すことができ、クリックノイズを抑制できる。

【0199】なお、この第5の実施の形態では、第1の実施の形態に係る図7に示した可変抵抗回路のクリックノイズを抑制する場合を例にとって説明したが、第2乃至第4の実施の形態に係る図14、図15、及び図16に示した可変抵抗回路にも同様にして適用できるのは勿論である。

【0200】また、上記各実施の形態では並列接続する抵抗が2個の場合と4個の場合について説明したが、例えば同様にして8個設けても良いのは勿論であり、必要とする特性に応じて2個以上の正の整数個設ければ効果が得られる。但し、多くするとボツ音をより小さくできるものの、素子数を低減するという効果は低くなる。

【0201】更に、図5、図12及び図18に示した回路において、シフトレジスタ270、302～316、320、321、368～370に代えて図47

(b)、(c)に示したようなラッチ回路を設ければ、回路規模の増大を最小限に抑制できる。

【0202】図42及び図43に示したように、DACのフィルタアンプ部が差動アンプ形式である場合には、帰還抵抗だけでなく、非反転入力端(+)と基準電位(VREF)の間の可変抵抗回路39として、図7、図14、図15、図16及び図20に示した回路を設ければ良い。

【0203】

【発明の効果】以上説明したように、この発明によれば、回路規模の増大を抑制しつつステップ数を多くできる可変抵抗回路が得られる。

【0204】また、帰還抵抗及びデコーダの回路規模の増大を招くことなく、等価的に帰還抵抗の抵抗値を変化させるステップ数を増やすことができる0データ検出ソフトミュート機能付きの1ビットD/A変換器が得られる。

【0205】更に、大幅な回路規模の増大を抑制し

つ、低コストで高性能な0データ検出ソフトミュート機能付きの1ビットD/A変換器が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る可変抵抗回路及びD/A変換器について説明するためのもので、0データ検出ミュート機能を有し、ボツ音を小さくできるDACの出力回路部の構成例を示す回路図。

【図2】図1に示した回路の具体的な構成例を示す回路図。

【図3】図2に示した回路におけるカウンタとデコーダを抽出して示すブロック図。

【図4】図3に示した5ビットアップ/ダウンカウンタの具体的な構成例を示す回路図。

【図5】図3に示したデコーダの回路構成例を示す回路図。

【図6】図5に示したデコーダの動作について説明するための真理値を示す図。

【図7】図2に示した回路における可変抵抗回路の構成例を示す回路図。

【図8】図2に示した回路の動作について説明するためのタイミングチャート。

【図9】図2に示した回路の動作について説明するためのタイミングチャート。

【図10】この発明の第2の実施の形態に係るD/A変換器について説明するためのもので、カウンタ及びデコーダを抽出して示す回路図。

【図11】図10に示したカウンタの構成例を示す回路図。

【図12】図10に示したデコーダの具体的な構成例を示す回路図。

【図13】図12に示したデコーダの動作について説明するための真理値を示す図。

【図14】可変抵抗回路の他の構成例を示しており、

(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図。

【図15】この発明の第3の実施の形態に係る可変抵抗回路及びD/A変換器について説明するためのもので、可変抵抗回路の更に他の構成例を示しており、(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図。

【図16】この発明の第4の実施の形態に係る可変抵抗回路及びD/A変換器について説明するためのもので、可変抵抗回路の別の構成例を示しており、(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図。

【図17】この発明の第5の実施の形態に係るD/A変換器について説明するためのもので、カウンタとデコーダを抽出して示すブロック図。

【図18】図17に示した回路におけるデコーダの具体的な構成例を示す回路図。

【図19】図18に示したデコーダの動作について説明

するための真理値を示す図。

【図20】可変抵抗回路の別の構成例を示しており、
(a)図はシンボル図、(b)図は具体的な回路構成を示す回路図。

【図21】可変抵抗回路の動作によるクリックノイズの発生について説明するためのタイミングチャート。

【図22】図20に示した可変抵抗回路の動作を説明するためのタイミングチャート。

【図23】 $\Sigma\Delta$ 変調器を使った従来のD/A変換器における出力回路部の構成例を示す回路図。

【図24】図23に示した回路の動作について説明するためのタイミングチャート。

【図25】0データ検出ミュート機能付きの従来のD/A変換器の出力回路部の構成例を示す回路図。

【図26】0データ検出ミュート機能付きの従来のD/A変換器の出力回路部の他の構成例を示す回路図。

【図27】図26に示した回路におけるデジタルDCオフセットについて説明するための波形図。

【図28】アナログスイッチ回路により帰還抵抗をショートしてミュートを行う場合のミュートオン/オフによる入力換算DCオフセットのDC変位について説明するための図。

【図29】アナログスイッチ回路で一度にミュートオン/オフした場合の電位差を示す波形図。

【図30】アナログスイッチ回路で段階的に電圧を変化させてミュートオン/オフした場合の波形図であり、15ステップで小さくした場合を示す図。

【図31】アナログスイッチ回路で段階的に電圧を変化させてミュートオン/オフした場合の波形図であり、30ステップで小さくした場合を示す図。

【図32】0データ検出ミュート機能を有し、ポップ音を小さくできる従来のDACの出力回路部の構成例を示す回路図。

【図33】図32に示した回路を更に具体的に示した回路構成例を示す図。

【図34】図33に示した回路における0データ検出回路の構成例を示す図。

【図35】図33に示した回路における4ビットアップ/ダウンカウンタ及びデコーダを抽出して示すブロック図。

【図36】図35に示した4ビットアップ/ダウンカウンタの具体的な構成例を示す回路図。

【図37】図35に示した回路におけるデコーダの構成例を示しており、(a)図は具体的な回路図、(b)図は(a)図におけるシフトレジスタのシンボル図、

(c)図は(b)図に示したシフトレジスタの詳細な構成例を示す回路図。

【図38】図33に示したデコーダの動作について説明するための真理値を示す図。

【図39】図33に示した回路における可変抵抗回路

(帰還抵抗)の具体的な構成例を示すもので、(a)図は全体の回路図、(b)図は(a)図に示した回路におけるアナログスイッチ回路のシンボル図、(c)図は(b)図に示したアナログスイッチ回路の詳細な構成例を示す回路図。

【図40】図33乃至図39に示した回路の動作を説明するためのタイミングチャート。

【図41】図33乃至図39に示した回路の動作を説明するためのタイミングチャート。

10 【図42】DACのフィルタアンプ部が差動アンプ形式である場合のミュート回路の構成例を示す回路図。

【図43】図42に示した回路の具体的な構成例を示す回路図。

【図44】図32及び図33に示した回路でオペアンプの帰還抵抗の変化ステップ数を倍にする場合の可変抵抗回路の構成例を示す回路図。

【図45】図44に示した回路におけるアナログスイッチ回路の構成例について説明するためのもので、(a)図はシンボル図、(b)図は詳細な構成例を示す回路図。

【図46】図44及び図45に示したアナログスイッチ回路にスイッチ制御信号を供給するデコーダ、及びアップ/ダウンカウンタのブロック図。

【図47】図46に示したデコーダの詳細な構成例を示す回路図。

【図48】図47に示したデコーダの動作について説明するための真理値を示す図。

【符号の説明】

211… $\Sigma\Delta$ 変調器、

212…アンドゲート、

213…ナンドゲート、

214, 216…インバータ、

215, 217, 218, 219, 233, 234…抵抗、

220, 221, 223, 235…キャパシタ、

222…オペアンプ、

226…0データ検出回路、

236, 336, 436…可変抵抗回路(帰還抵抗)、

237, 337, 437…カウンタ、

40 238, 338, 438…デコーダ、

R21~R40…抵抗、

SW21~SW58…アナログスイッチ回路、

S0~S15, SL, SL1, SL2, SL3…スイッチ制御信号、

STROBE…ストロブ信号、

Tr1~Tr18…Nチャネル型MOSトランジスタ、

244~252, 354…フリップフロップ、

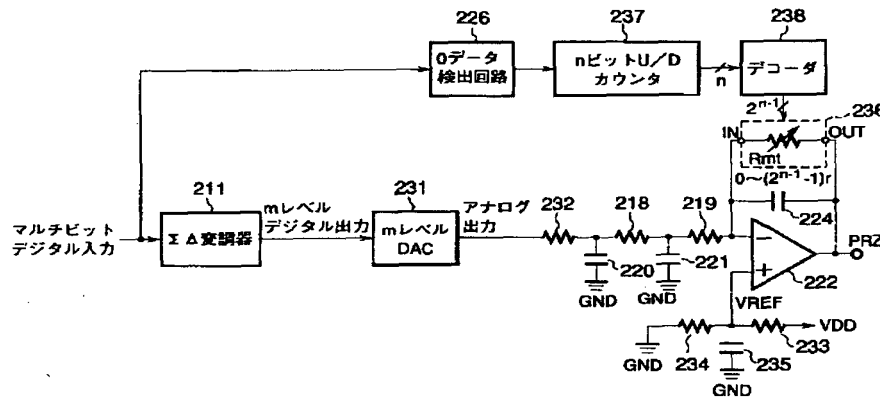
258~262, 350…エクスクルーシブノアゲート、

50 263~266, 351…エクスクルーシブオアゲート

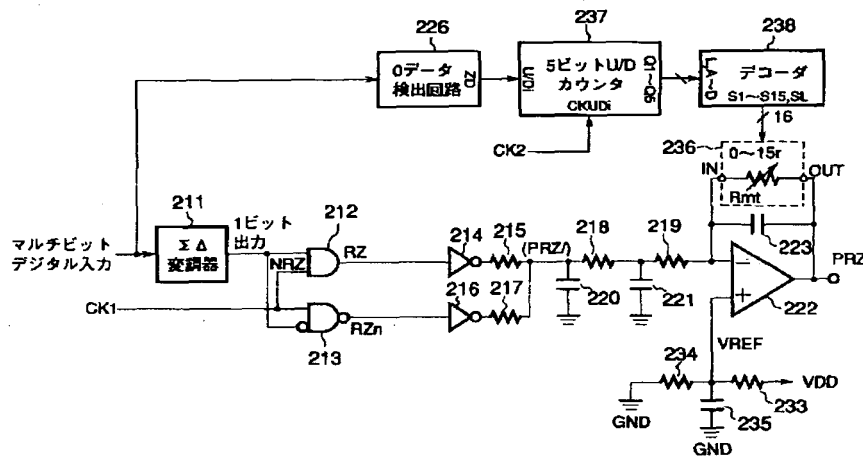
43

ト、
 255, 255', 256, 256' ...ナンドゲート、
 257, 257' ...ノアゲート、
 Q1, Q2, Q3, Q4, Q5, Q6 ...カウント出力、
 271~278 ...アンドゲート、
 269, 279~286, 361~364 ...インバー *

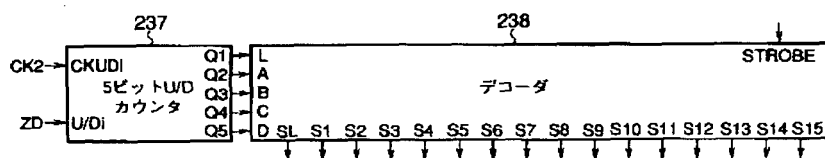
【図1】



【図2】



【図3】



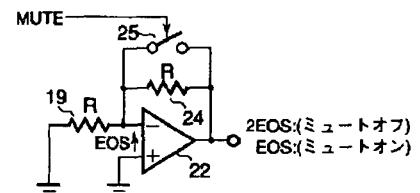
44

*タ、
 287~301, 367, 368, 369 ...ナンドゲート、
 270, 302~316 ...シフトレジスタ、
 365, 366 ...アンドゲート。

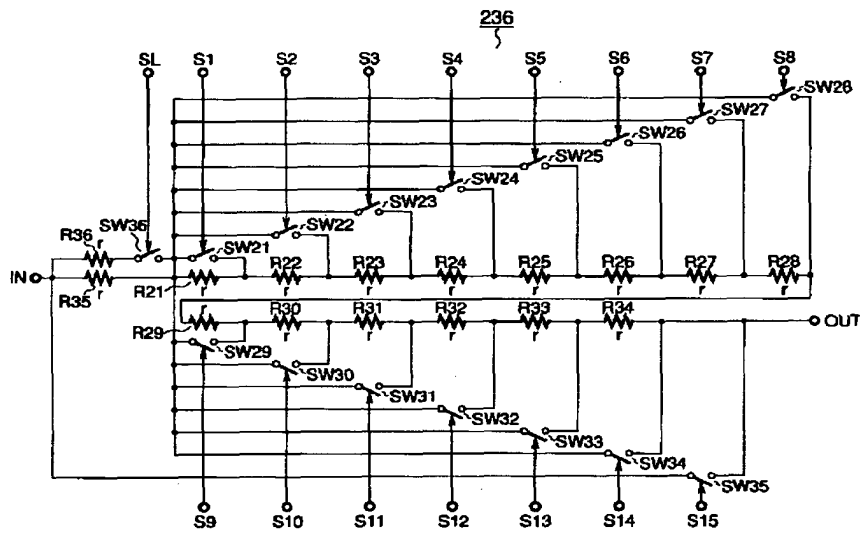
【図6】

INPUT	SELECT LINE(H)	SL	ATT
L A B C D			
0 0 0 0	—	L	30/30
1 0 0 0	—	H	29/30
0 1 0 0	S1	L	28/30
1 1 0 0	S1	H	27/30
0 0 1 0	S2	L	26/30
1 0 1 0	S2	H	25/30
0 1 1 0	S3	L	24/30
1 1 1 0	S3	H	23/30
0 0 0 1	S4	L	22/30
1 0 0 1	S4	H	21/30
0 1 0 1	S5	L	20/30
1 1 0 1	S5	H	19/30
0 0 1 1	S6	L	18/30
1 0 1 1	S6	H	17/30
0 1 1 1	S7	L	16/30
1 1 1 1	S7	H	15/30
0 0 0 1	S8	L	14/30
1 0 0 1	S8	H	13/30
0 1 0 1	S9	L	12/30
1 1 0 1	S9	H	11/30
0 0 1 1	S10	L	10/30
1 0 1 1	S10	H	9/30
0 1 1 1	S11	L	8/30
1 1 1 1	S11	H	7/30
0 0 0 1	S12	L	6/30
1 0 0 1	S12	H	5/30
0 1 0 1	S13	L	4/30
1 1 0 1	S13	H	3/30
0 0 1 1	S14	L	2/30
1 0 1 1	S14	H	1/30
0 1 1 1	S15	L	0/30
1 1 1 1	S15	H	0/30

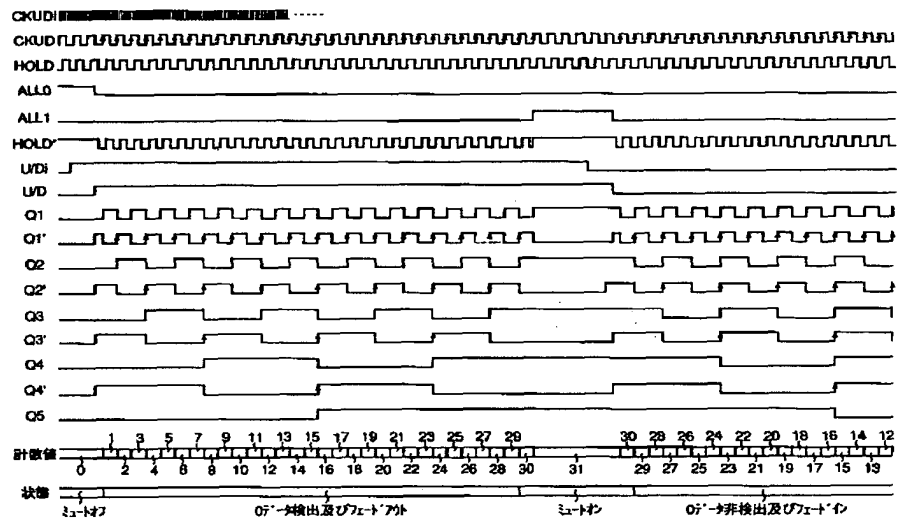
【図28】



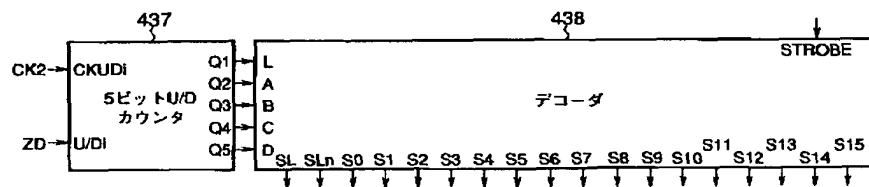
【図 7】



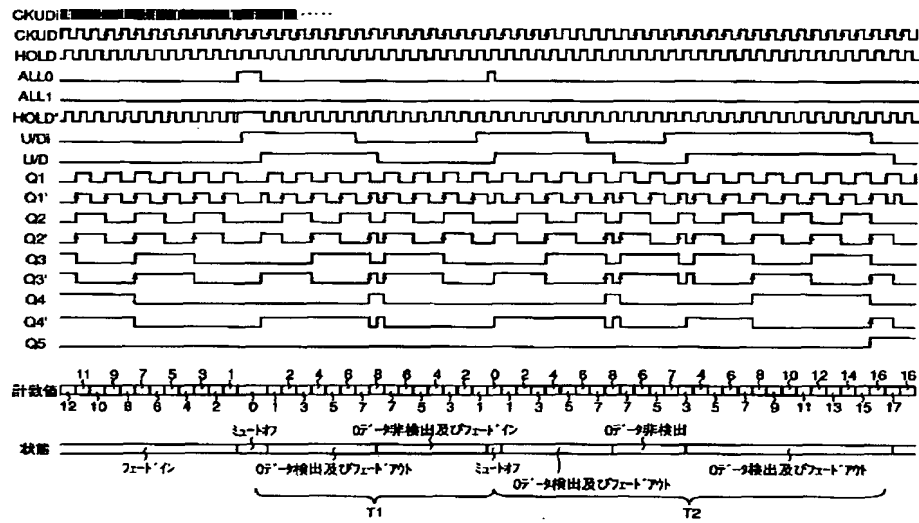
【図 8】



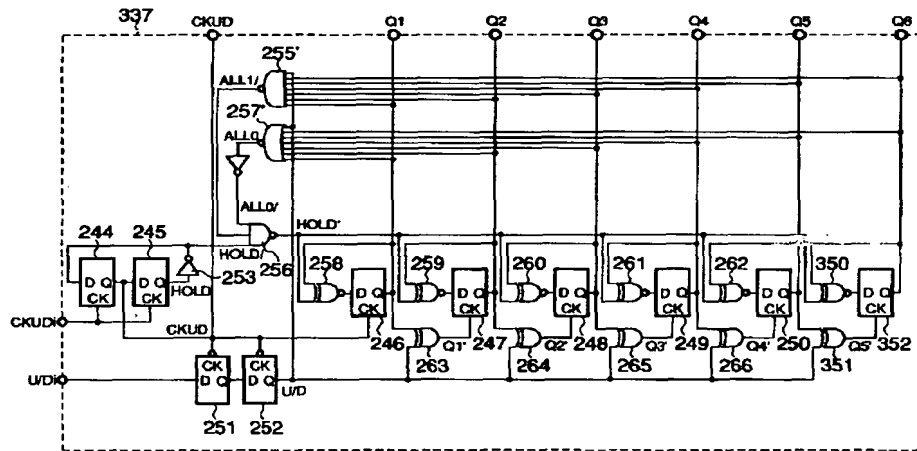
【図 17】



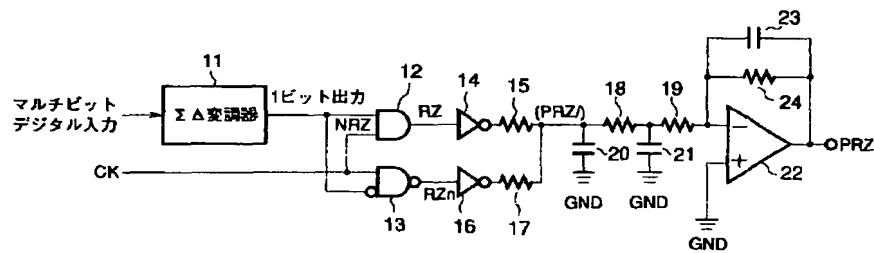
【図 9】



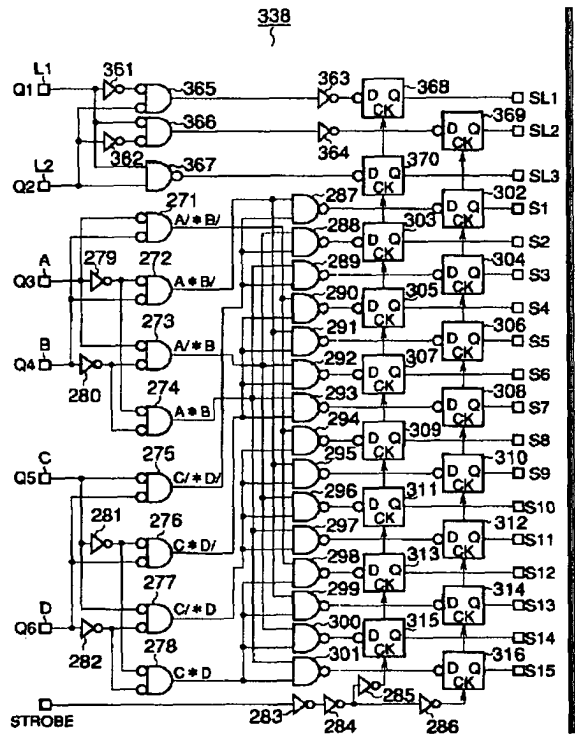
【図 11】



【図 23】



【図 12】

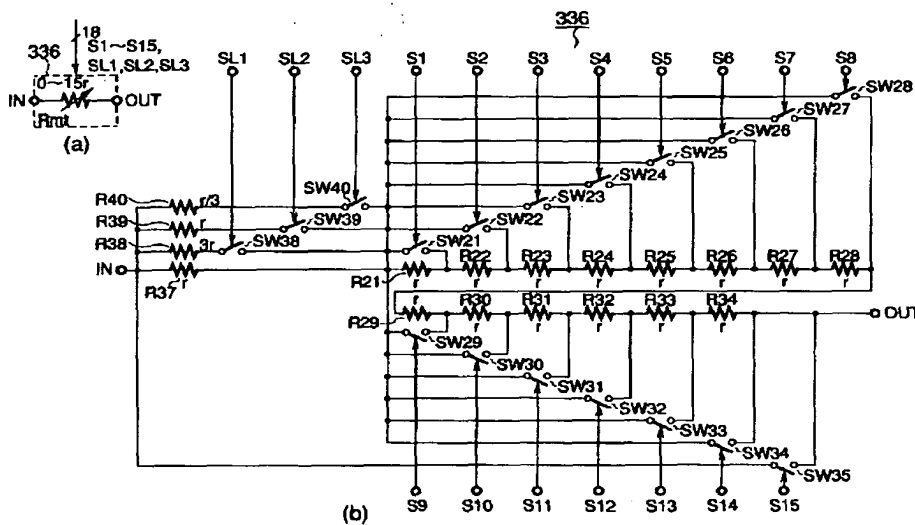


【図 13】

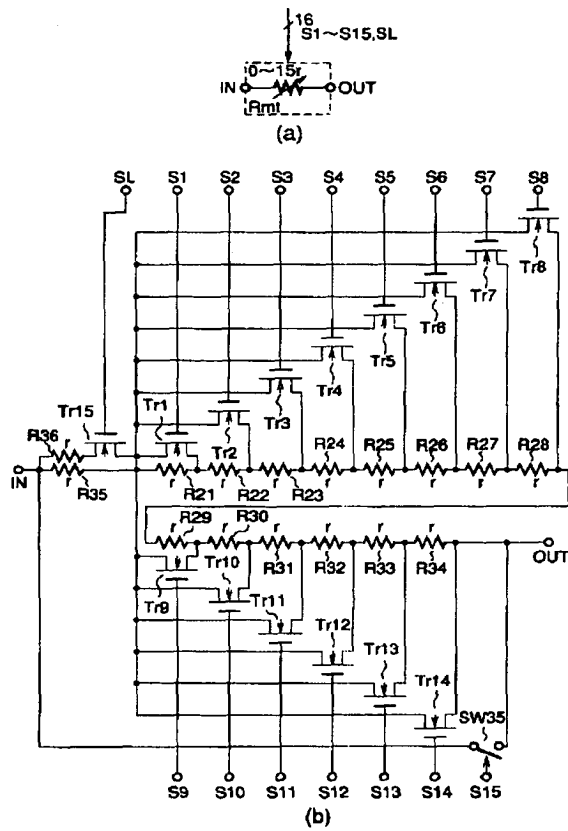
INPUT	SELECT	SL	SL	SL	ATT
L1 L2 A B C D LINE(H)	1	2	3		
0 0 0 0 0 0	-	L	L	L	80/80
1 0 0 0 0 0	-	H	L	L	59/80
0 1 0 0 0 0	-	L	H	L	58/80
1 1 0 0 0 0	-	L	L	H	57/80
0 0 1 0 0 0	S1	L	L	L	66/80
1 0 1 0 0 0	S1	H	L	L	56/80
0 1 1 0 0 0	S1	L	H	L	54/80
1 1 1 0 0 0	S1	L	L	H	53/80
0 0 0 1 0 0	S2	L	L	L	52/80
1 0 0 1 0 0	S2	H	L	L	51/80
0 1 0 1 0 0	S2	L	H	L	50/80
1 1 0 1 0 0	S2	L	L	H	48/80
0 0 1 1 0 0	S3	L	L	L	48/80
1 0 1 1 0 0	S3	H	L	L	47/80
0 1 1 1 0 0	S3	L	H	L	46/80
1 1 1 1 0 0	S3	L	L	H	45/80
0 0 0 0 1 0	S4	L	L	L	44/80
1 0 0 0 1 0	S4	H	L	L	43/80
0 1 0 0 1 0	S4	L	H	L	42/80
1 1 0 0 1 0	S4	L	L	H	41/80
0 0 1 0 1 0	S5	L	L	L	40/80
1 0 1 0 1 0	S5	H	L	L	39/80
0 1 1 0 1 0	S5	L	H	L	38/80
1 1 1 0 1 0	S5	L	L	H	37/80
0 0 0 1 1 0	S6	L	L	L	36/80
1 0 0 1 1 0	S6	H	L	L	35/80
0 1 0 1 1 0	S6	L	H	L	34/80
1 1 0 1 1 0	S6	L	L	H	33/80
0 0 1 1 1 0	S7	L	L	L	32/80
1 0 1 1 1 0	S7	H	L	L	31/80
0 1 1 1 1 0	S7	L	H	L	30/80
1 1 1 1 1 0	S7	L	L	H	29/80

0 0 0 0 0 1	S8	L	L	L	28/80
1 0 0 0 0 1	S8	H	L	L	27/80
0 1 0 0 0 1	S8	L	H	L	26/80
1 1 0 0 0 1	S8	L	L	H	25/80
0 0 1 0 0 1	S9	L	L	L	24/80
1 0 1 0 0 1	S9	H	L	L	23/80
0 1 1 0 0 1	S9	L	H	L	22/80
1 1 1 0 0 1	S9	L	L	H	21/80
0 0 0 1 0 1	S10	L	L	L	20/80
1 0 0 1 0 1	S10	H	L	L	19/80
0 1 0 1 0 1	S10	L	H	L	18/80
1 1 0 1 0 1	S10	L	L	H	17/80
0 0 1 1 0 1	S11	L	L	L	16/80
1 0 1 1 0 1	S11	H	L	L	15/80
0 1 1 1 0 1	S11	L	H	L	14/80
1 1 1 1 0 1	S11	L	L	H	13/80
0 0 0 1 1 1	S12	L	L	L	12/80
1 0 0 1 1 1	S12	H	L	L	11/80
0 1 0 1 1 1	S12	L	H	L	10/80
1 1 0 1 1 1	S12	L	L	H	9/80
0 0 1 0 1 1	S13	L	L	L	8/80
1 0 1 0 1 1	S13	H	L	L	7/80
0 1 1 0 1 1	S13	L	H	L	6/80
1 1 1 0 1 1	S13	L	L	H	5/80
0 0 0 1 1 1	S14	L	L	L	4/80
1 0 0 1 1 1	S14	H	L	L	3/80
0 1 0 1 1 1	S14	L	H	L	2/80
1 1 0 1 1 1	S14	L	L	H	1/80
0 0 1 1 1 1	S15	L	L	L	0/80
1 0 1 1 1 1	S15	H	L	L	
0 1 1 1 1 1	S15	L	H	L	
1 1 1 1 1 1	S15	L	L	H	

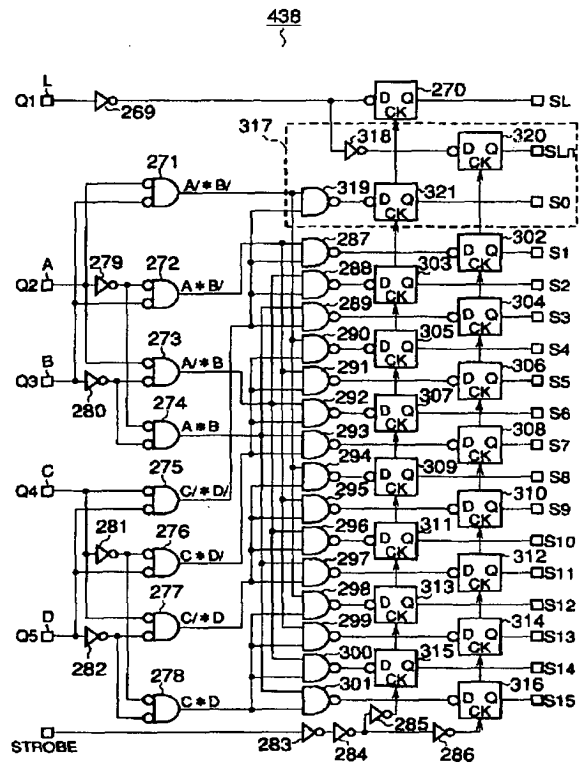
【図 14】



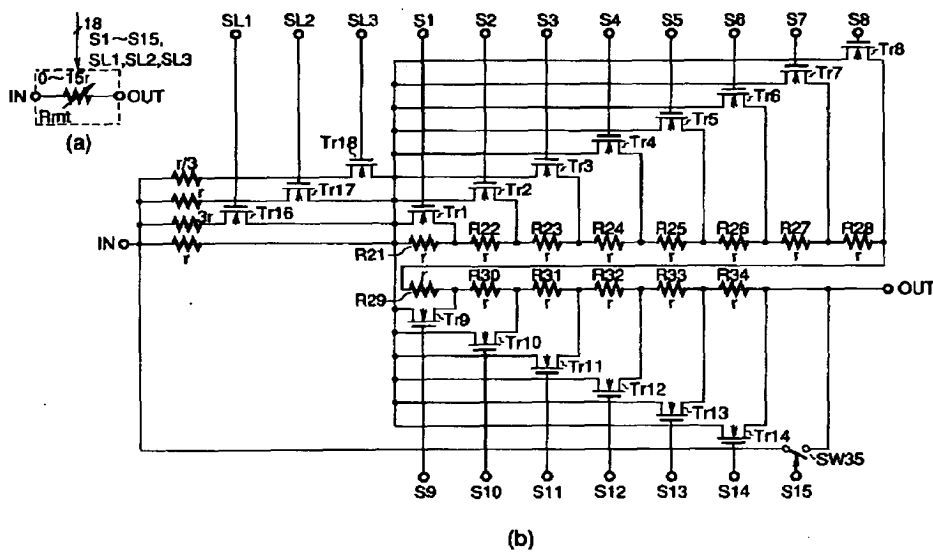
【図 15】



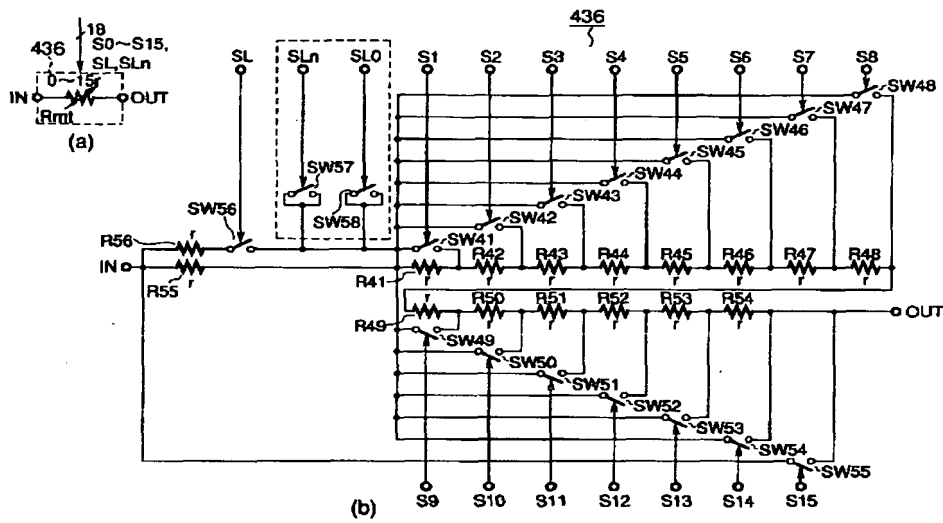
【図 18】



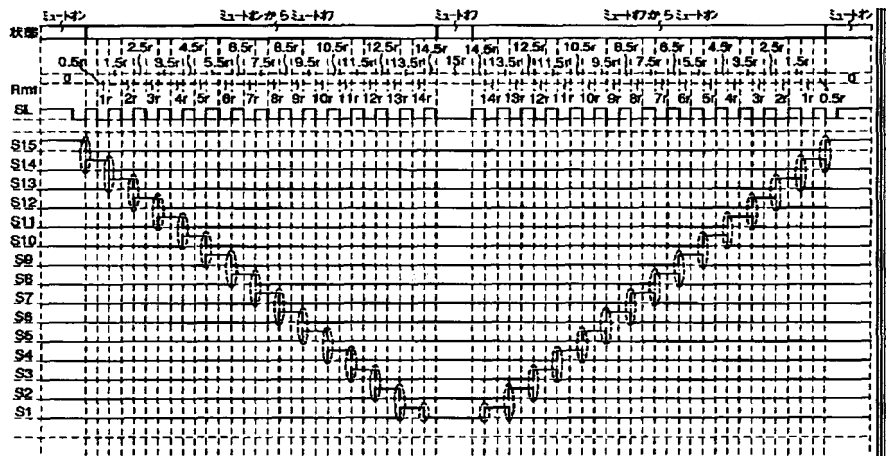
【図 16】



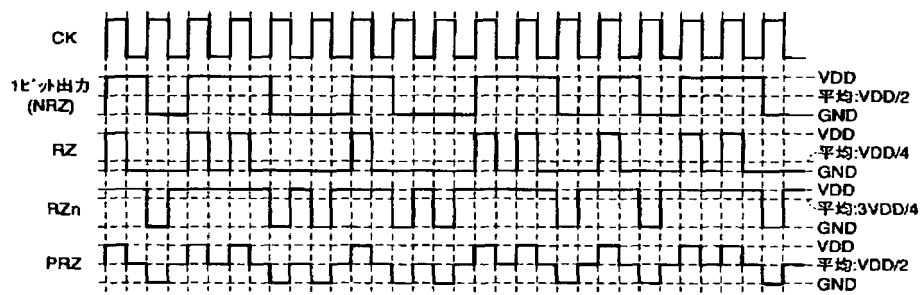
【図 20】



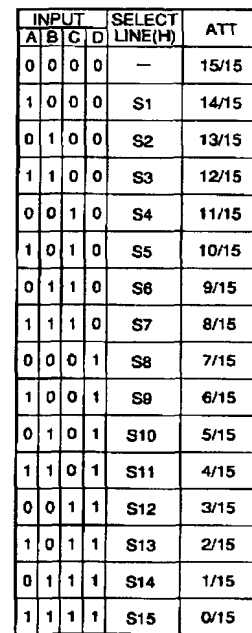
【図 21】



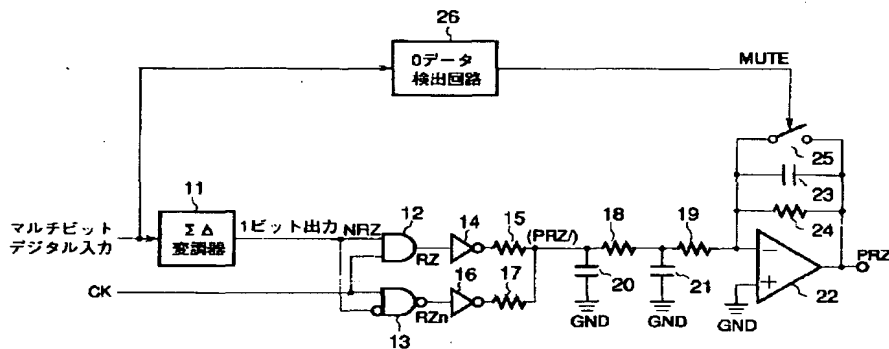
【図 24】



【図 3 8】



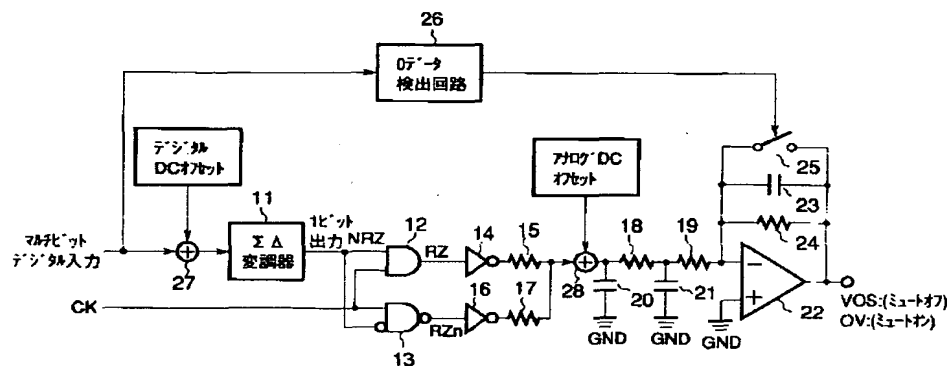
【図 25】



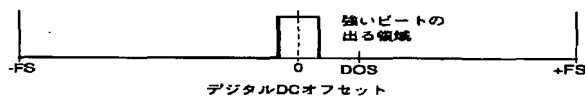
【图 48】

INPUT					SELECT LINE(H)	STATE
A	B	C	D	E		MUTE OFF
0	0	0	0	0		
1	0	0	0	0	S1	
0	1	0	0	0	S2	
1	1	0	0	0	S3	
0	0	1	0	0	S4	
1	0	1	0	0	S5	
0	1	1	0	0	S6	
1	1	1	0	0	S7	
0	0	0	1	0	S8	
1	0	0	1	0	S9	
0	1	0	1	0	S10	
1	1	0	1	0	S11	
0	0	1	1	0	S12	
1	0	1	1	0	S13	
0	1	1	1	0	S14	
1	1	1	1	0	S15	
0	0	0	0	1	S16	
1	0	0	0	1	S17	
0	1	0	0	1	S18	
1	1	0	0	1	S19	
0	0	1	0	1	S20	
1	0	1	0	1	S21	
0	1	1	0	1	S22	
1	1	1	0	1	S23	
0	0	0	1	1	S24	
1	0	0	1	1	S25	
0	1	0	1	1	S26	
1	1	0	1	1	S27	
0	0	1	1	1	S28	
1	0	1	1	1	S29	
0	1	1	1	1	S30	
1	1	1	1	1	S31	MUTE ON

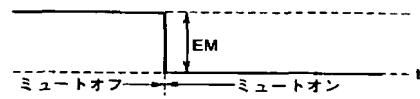
【图 2 6】



【図27】



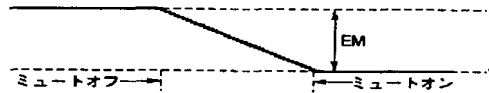
【図29】



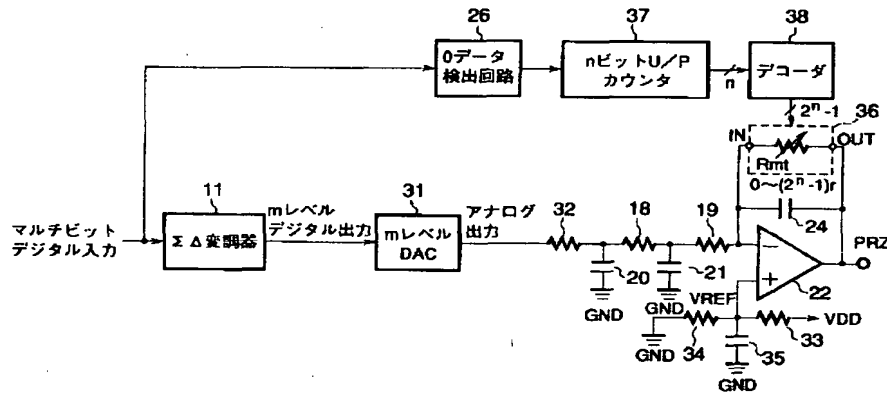
【図30】



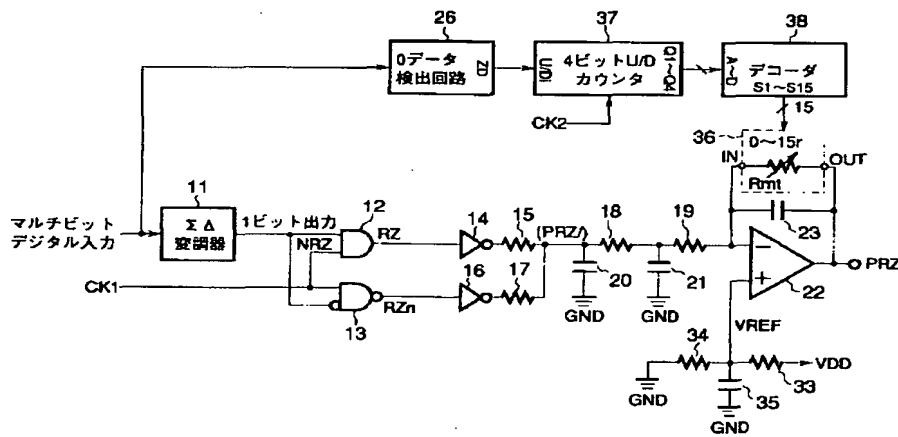
【図31】



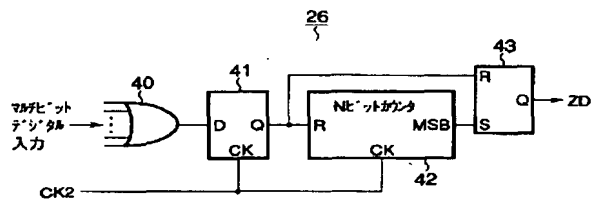
【図32】



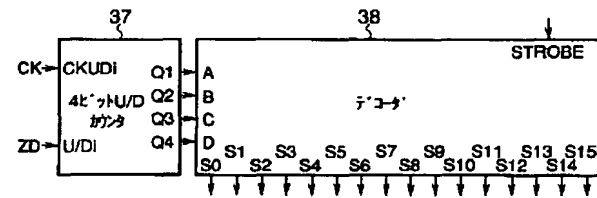
【図33】



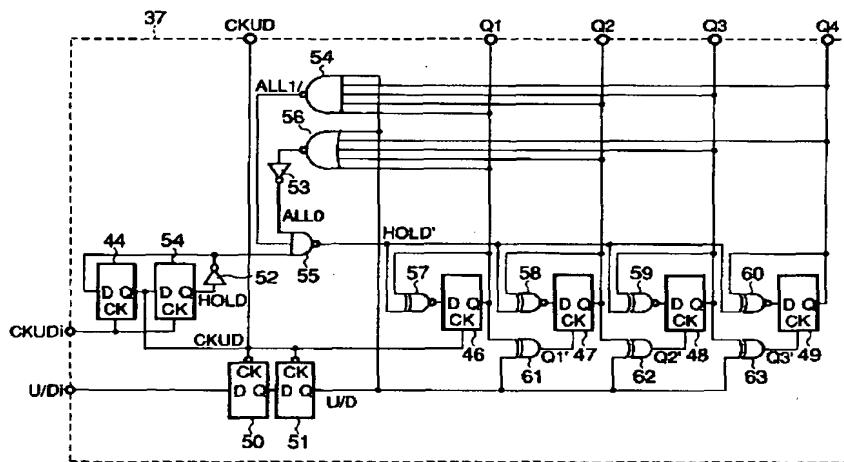
【図34】



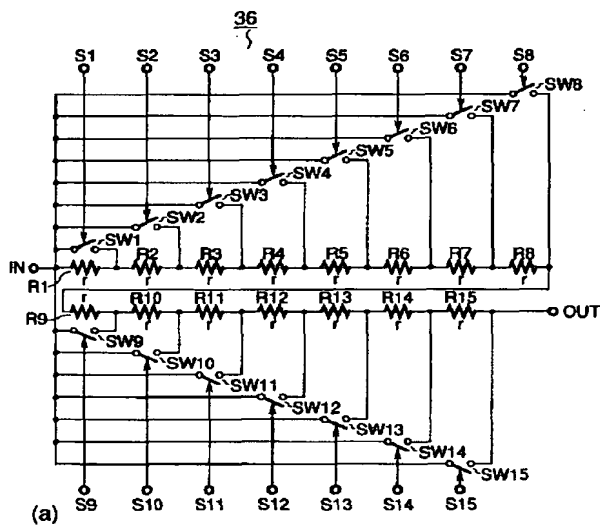
【図35】



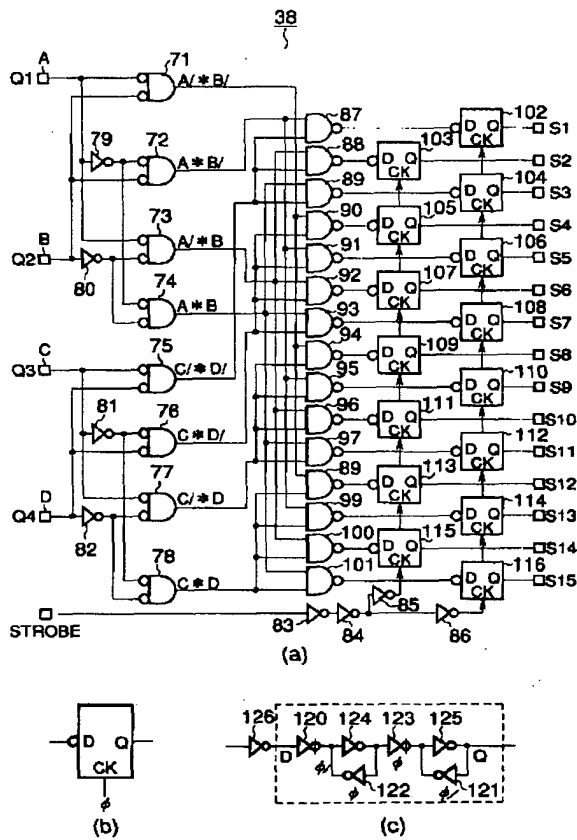
【図36】



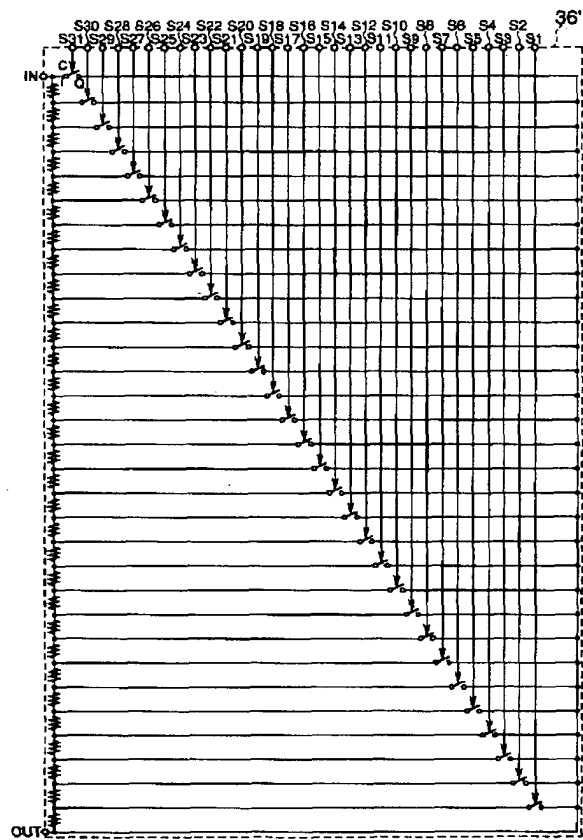
【図39】



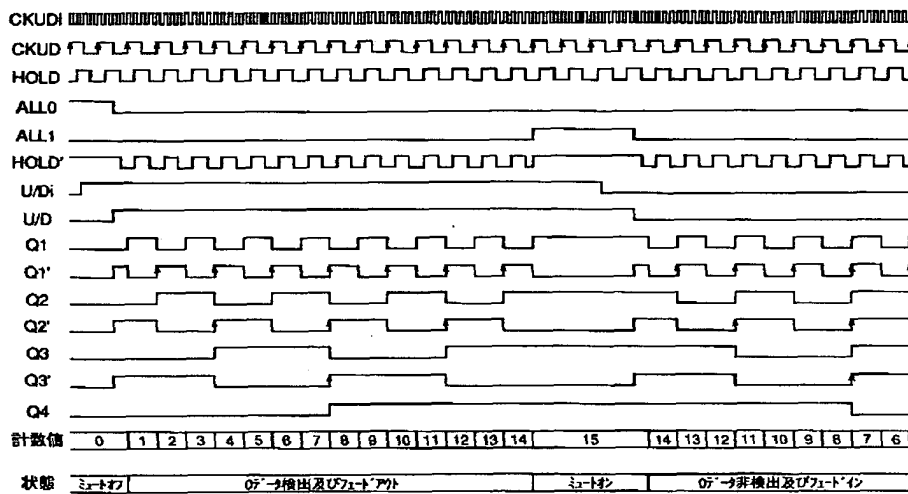
【図37】



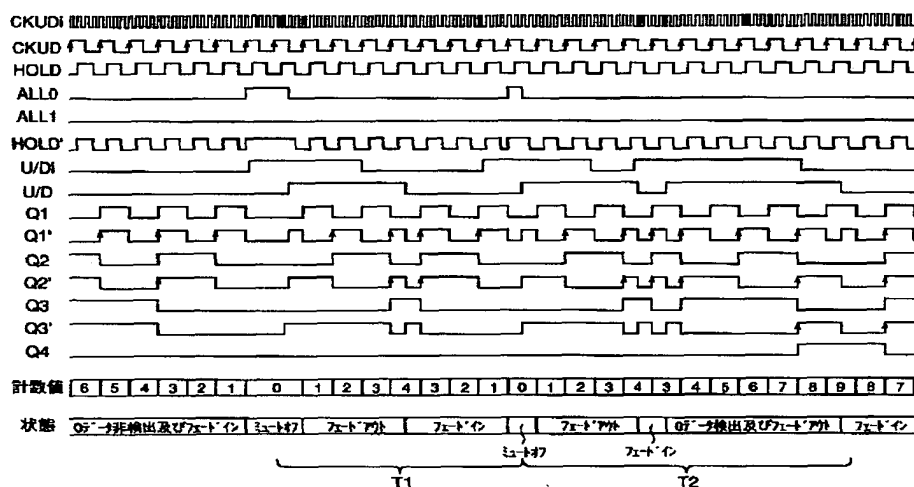
【図44】



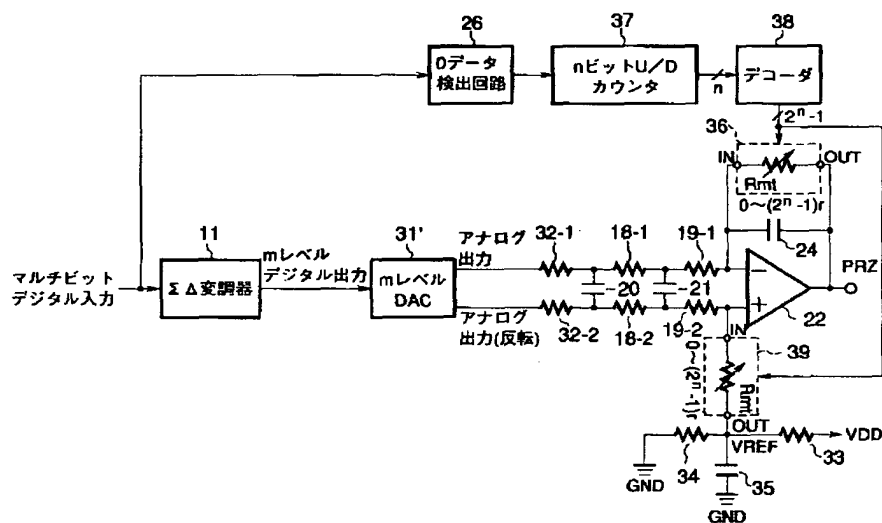
【図40】



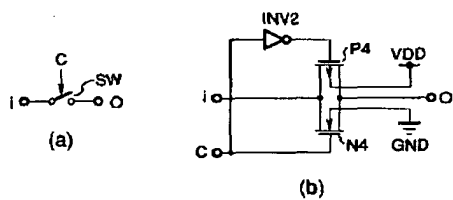
【図41】



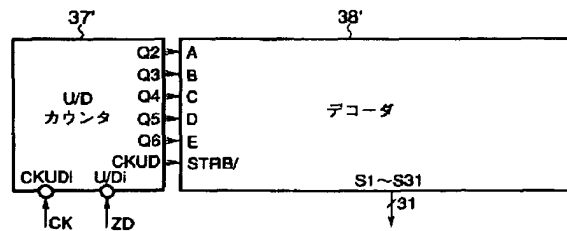
【図42】



【図45】



【図46】



The diagram illustrates the internal architecture of a 3841 PLD. It features a 38-pin package with inputs A, B, C, D, and E, and a STRB/G pin. The internal logic consists of several AND gates (A*B, A*B', C*D, C*D'), OR gates, and a large array of 32 D-type flip-flops (Q1-Q32). The flip-flops are arranged in a grid, with their D, Q, and G inputs connected to the internal logic. Sub-diagrams (b) and (c) provide a detailed view of the internal structure of the D and G pins, respectively.

フロントページの続き

Fターム(参考) 5J022 AB05 BA02 BA03 BA06 CA07
CB06 CD03 CD04 CE06 CE08
CF02 CF03 CF07
5J064 AA04 BA03 BB07 BC02 BC03
BC04 BC05 BC07 BC08 BC10
BC11 BC19